

高速コヒーレント光通信を実現する IC 設計技術

IC Design Technologies for Enabling High-Speed Coherent Optical Communication

熊谷 誠司*
Seiji Kumagai

上村 浩
Hiroshi Uemura

杉本 良之
Yoshiyuki Sugimoto

板橋 直樹
Naoki Itabashi

武智 勝
Masaru Takechi

田中 啓二
Keiji Tanaka

生成AIの急速な普及に伴い、データセンター（DC）内の情報通信量は増加の一途をたどっており、DC間や幹線系といった長距離通信需要も同様に増え続けている。長距離系の情報通信には主にコヒーレント光通信技術が使われるが、我々は今後普及が予想される800Gbit/sデジタルコヒーレント光通信に対応する128Gbaud光変調器ドライバIC及びトランスインピーダンス増幅器（TIA）を開発した。これらのICには光の変調速度と同じ高速動作に加え、利得ピーク特性や可変利得機能が要求される。本報告では、それらの性能を実現するためのIC回路設計技術と評価結果について述べる。

As the utilization of generative AI expands, the volume of information communication within data centers (DCs) is continuously increasing, and demands for long-distance communication such as that between DCs and trunk lines is also on the rise. Coherent optical communication technology is primarily used for this long-distance information communication. In anticipation of the widespread adoption of 800 Gbit/s digital coherent optical communication, we developed a 128 Gbaud optical modulator driver integrated circuit (IC) and a transimpedance amplifier (TIA). These ICs are required to achieve gain peak characteristics and variable gain functionality, in addition to high-speed operation matching the modulation speed of the optical signal. This report presents the IC design techniques and evaluation results necessary to achieve this performance.

キーワード：デジタルコヒーレント光通信、ドライバ、TIA、CDM、ICR

1. 緒 言

膨大なデータセットと計算リソースを必要とする生成AIの急速な普及に対応するため、世界でデータセンター（DC）の設置が進んでいる。近年は自然災害や障害、電力供給などのリスクを下げるため、また都市部の近くで低遅延かつ高速な通信を提供するため、DC建設地を地理的に分散させる傾向が見られており、データセンター間通信（DCI）需要も増加している。

限られた光ファイバ伝送路を有効に活用するため、DCIには信号の劣化に強く、大容量化が可能なデジタルコヒーレント光通信方式が使われている。この通信方式において、増え続ける通信需要に応えるため、大容量化の議論が継続して交わされてきた。その手法には、信号の変調速度を上げる、1つの信号で送れる情報を増やす（高次の変調方式の採用）、複数の光波長を利用するなどがあるが、中心に行われているのは信号変調速度の向上である。光通信の業界団体であるOptical Internetworking Forum (OIF) は、2017年と2018年にシンボルレート64Gbaudのコヒーレント受信器（ICR^{*1}）と送信器（CDM^{*2}）の標準化をそれぞれ行った^{(1),(2)}が、その後年々高速化が進み、2024年の800Gbit/sトランシーバではシンボルレートが118Gbaudに達している⁽³⁾。さらに次世代の1.6Tbit/sトランシーバでは240Gbaudが必要となる可能性がある⁽⁴⁾。

図1にコヒーレントトランシーバのブロック図を示す。DC内のネットワークルーターから入力された電気信号はデジタルシグナルプロセッサ（DSP）で信号処理され、ドライバに入力される。ドライバは光変調器を駆動し、波長可変レーザから入力された光を変調する。変調された光は光ファイバへ出力される。一方受信側は、光ファイバから入力された伝送後の微弱な光を光検出器が電気信号に変える。電気信号はトランスインピーダンス増幅器（TIA）でDSPが処理できるレベルにまで増幅され、DSPで信号補正やエラー訂正を行った後に出力される。

ここでドライバとTIAには、光の変調速度と同じ高速動作が要求される。加えてドライバは電気信号の伝送損失と

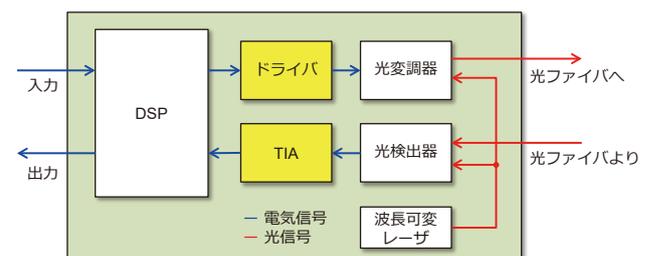


図1 コヒーレントトランシーバのブロック図

変調器やパッケージによる高周波損失を補うため、高周波で大きな利得ピークが必要となる。またTIAは、長距離伝送後の微弱な光信号から比較的近い距離伝送後の強い光信号まで、正確に線形増幅するための広いダイナミックレンジを有する可変利得機能が必須である。今回、我々はこれらの要求事項に適応し、今後普及が見込まれる800Gbit/sから1Tbit/s級システムまで対応可能な高速ドライバIC⁽⁵⁾及びTIA⁽⁶⁾を開発したので、その回路設計技術を中心に報告する。

2. ドライバIC

2-1 課題と開発の狙い

デジタルコヒーレント光通信システムにおいて、シンボルレートが100Gbaudを超えると電気信号の高周波損失が大きな課題となる。例えばOIFのCEI-112G-VSRのような、光モジュールと基板側ICとの間の電気接続に関する仕様では、ナイキスト周波数^{*3}の28GHzで12dBから16dBの伝送損失を仮定している⁽⁷⁾。128Gbaudのような高速システムでは、少なくとも64GHz以上の帯域幅が必要となるため、損失が倍以上に増えると予想される。さらに、変調器やモジュールパッケージによる高周波損失も増加するため、伝送システム全体の損失は非常に大きくなる。DSPで高周波における損失の補償が可能であるが、その量は約30dBに留まっており⁽⁶⁾十分ではない。

これらの状況から、高い周波数で十分な利得ピークを有し、システムの高周波損失を補償できるドライバICが望まれている。我々は独自の出力バッファ回路を開発することにより、この要求に対応した。

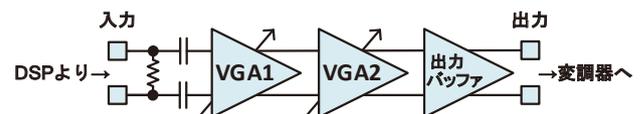
2-2 回路設計

図2(a)に開発したドライバICの高周波回路ブロック図を示す。入出力端子、及び内部の回路は全て正相・逆相の対で構成される完全差動回路である。DSPより入力された信号は、直流成分をカットする容量結合回路を通った後、2段の可変利得増幅器(VGA)で適切な振幅に調整される。その後、出力バッファ段で利得ピーク特性が与えられる。

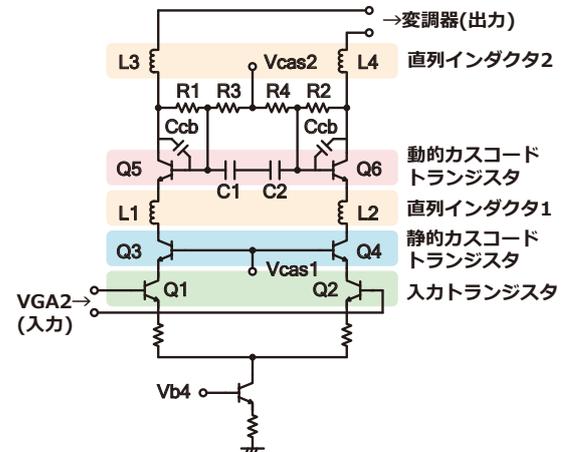
図2(b)で出力バッファ段の動作を説明する。回路構成は低消費電力性に優れたオープンコレクタ型^{*4}を採用している。前段のVGA2から出力された信号は入力トランジスタQ1、Q2に入力される。Q1、Q2はミラー効果^{*5}による帯域劣化を抑制するため、その上のトランジスタQ3、Q4とカスコード回路^{*6}を構成している。

トランジスタQ5、Q6はQ1~Q4と共に2つ目のカスコード回路を形成するが、Q3、Q4のベースバイアスが静的電圧で与えられるのに対し、Q5、Q6のベースバイアスは、R1~R4、C1、C2、Ccbで構成される回路で出力信号が帰還されることにより、高周波を含む動的電圧で与えられる。そのためQ3、Q4が静的カスコードと呼ばれるのに対し、Q5、Q6は動的カスコードと呼ばれる。

L1~L4の2組の直列インダクタは、共振周波数において



(a) 高周波回路ブロック図



(b) 出力バッファ段回路図

図2 開発したドライバIC回路

利得を増加させる。上述した動的カスコードトランジスタのエミッタ側とコレクタ側にそれぞれインダクタを配置することにより、2組のインダクタの効果を効率よく加算することが可能となり、これにより出力バッファは大きな利得ピーク特性を有する。

また、動的カスコードを使用することにより、出力バッファの出力振幅を動的カスコードQ5、Q6と静的カスコードQ3、Q4の2組のカスコードトランジスタで分圧している。これにより各トランジスタの動作範囲を信頼性保証範囲内に維持することが可能となっている。

2-3 試作

試作はファウンドリの55nm SiGe BiCMOSプロセスで行った。写真1にチップ外観を示す。ドライバが4ch集積され、自動利得制御機能を始めとする制御機能が搭載されている。各種機能にはOIF準拠のSPI^{*7}を通じて

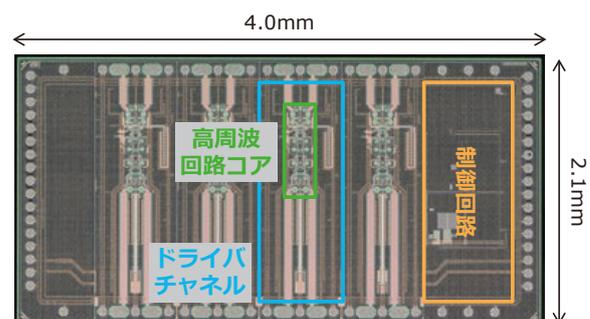


写真1 ドライバICチップ

アクセス可能である。チップサイズは4.0mm × 2.1mm、電源電圧は+3.3V、制御回路を含む消費電力は2.15Wでチャンネルあたりの消費電力は0.54W/chである。

2-4 評価結果

図3にドライバICの評価結果とシミュレーション結果を示す。図3(a)のSパラメータ測定値は、差動利得 (SDD21) が72.5GHzで18.5dBもの高いピーキングを示している。3dB帯域は86GHzである。図3(b)は電力の入出力特性を示している。本結果から1dB利得圧縮点 (P1dB) は1GHzで4.6Vppd、50GHzで4.1Vppdと算出され、広い周波数範囲において4Vppdを超える十分な振幅が得られている。

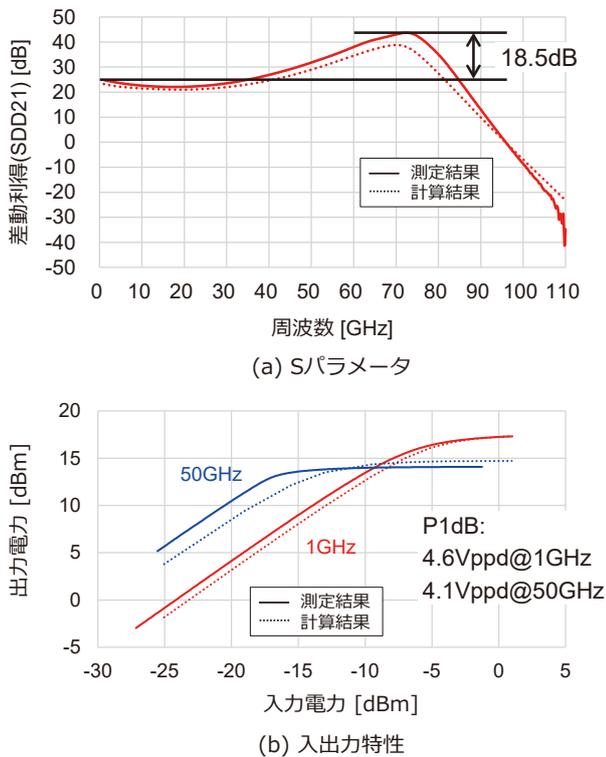


図3 ドライバICの評価結果

3. TIA

3-1 課題と開発の狙い

コヒーレント通信を含む光通信システム用途のTIAには、広帯域動作と低ノイズ性が求められ、一般的に図4(a)に示すようなシャントフィードバック (SFB) 回路形式が用いられる。この形式は帰還抵抗Rfを高くすることでノイズを低減できるが、回路の入力抵抗RinがRfの増加に伴って上昇し、フォトダイオード (PD) 容量やその他の寄生素子の影響で帯域幅が制限される。一方、図4(b)に示すコモンベース (CB) SFB形式は、入力部にCB段を追加している。この場合、CB段のRinは低いため寄生素子の影響を受けにくくなり、より広い帯域幅が期待できる⁽⁹⁾。ただ

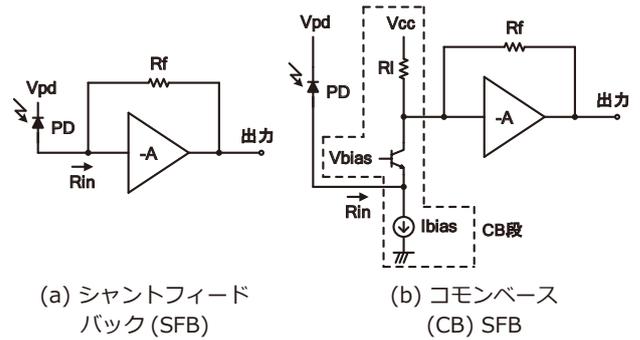


図4 TIAの回路形式

しノイズ性能の観点では、抵抗やトランジスタなどの素子が増えるため全体のノイズが増加する。我々の設計では、CB SFB形式を使用して広帯域幅を達成し、その中でRfを可能な限り高く設定することでノイズの増加を抑える方針とした。

3-2 回路設計

図5(a)に開発したTIAの高周波回路ブロック図を示す。ドライバICと同様に完全差動回路である。光検出器内のPDから入力された電気信号はTIA段で増幅される。その後VGA段と出力バッファ段を経て、DSPに向けて出力される。

コヒーレント光通信向けのTIAとして求められるさらなる要件は、受信する光信号の強弱について広いダイナミックレンジを持つことである。これを実現するために通常用いられる手法は、入力端子とグランドの間に可変抵抗としてトランジスタを配置し、入力信号の一部を必要に応じて捨てることにより利得を調整する方法だが、TIA段の入力インピーダンス^{*8}が変化して、受信器の周波数応答を変動させてしまう短所がある。

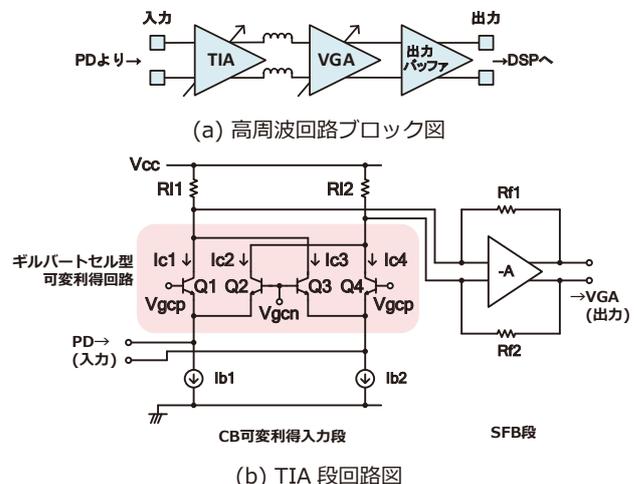


図5 開発したTIA回路

本設計ではこの課題に対し、CB段に可変利得回路を組み合わせる構造で対処した。図5 (a) のTIA段の具体的な回路を図5 (b) に示し、以下にその動作を説明する。

TIA段は図4 (b) で示したようにCB段とSFB段に分かれている。一般的な差動回路のCB段では図5 (b) のQ2とQ3はないが、ここでは追加され、逆相側のコレクタ電流を引き込むたすき掛けの配線で繋がれている。バイアス電圧Vgcp、Vgcnに適切な電圧を与えてQ1、Q4をオン、Q2、Q3をオフとした場合、PDから入力された電流は全て増幅に寄与し、SFB段に引き渡される。一方Q1~Q4を全てオンした場合は、負荷抵抗R1、R2に流れる電流は正相、逆相の電流が等しく足し合わされたものとなり、打ち消し合ってゼロになる。このとき増幅されるPD電流はなくなる。

以上が可変利得回路の動作原理であり、このような構造で信号を合成する回路をギルバートセルと呼ぶ。このギルバートセル型利得可変回路は幅広いダイナミックレンジを実現できると同時に、利得を変える際の各トランジスタの動作点の変化が小さいため、入力インピーダンスの変化が小さく、受信器の入力段として優れている。

3-3 試作

試作はドライバと同様、ファウンドリの55nm SiGe BiCMOSプロセスで行った。写真2にチップ外観を示す。TIAが4ch集積され、各種制御機能、モニタ機能、SPIも搭載されている。チップサイズは4.0mm × 1.9mm、電源電圧は+3.3V、制御回路を含む消費電力は1.07Wでチャンネルあたりの消費電力は0.27W/chである。

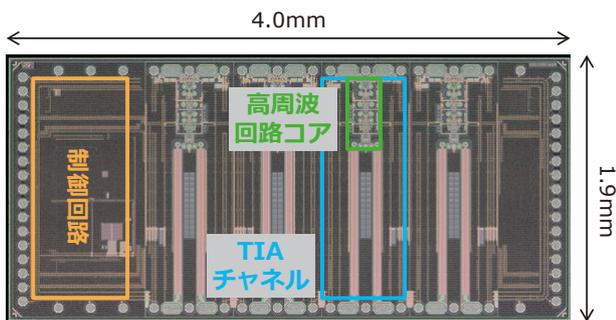


写真2 TIAチップ

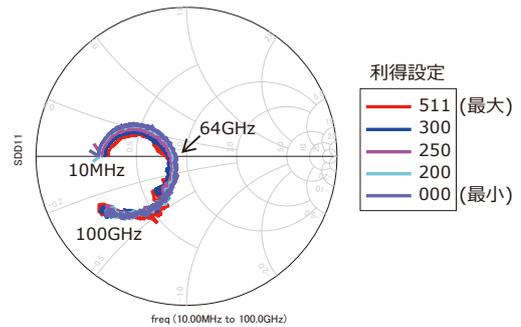
3-4 評価結果

図6に利得設定を変えながらTIAチャンネルのSパラメータを測定した結果を示す。図6 (a) は入力インピーダンスをスミスチャートでプロットしたものである。利得を最大から最小まで変化させているが、設計の狙い通りCB可変利得入力段の入力インピーダンスはほとんど変化しない。

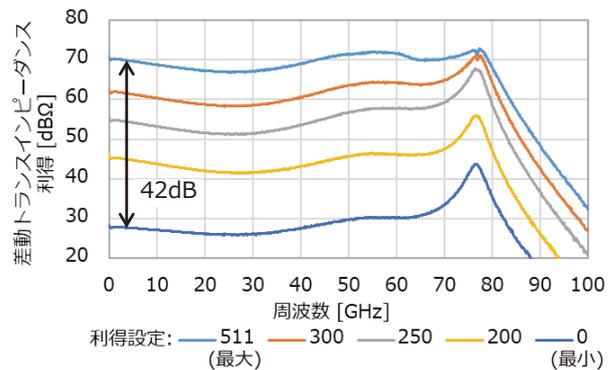
図6 (b) はTIAのSパラメータ測定値からトランスイン

ピーダンス利得を算出したものである。利得の最大と最小の差は42dBと広いダイナミックレンジが得られている。また帯域幅は80GHzを超えており十分である。

77GHz付近のピークは、TIA段とVGA段の間の帯域補償用インダクタ (図5 (a) 参照) と、VGA段の入力インピーダンスとの共振によるものである。利得を下げた際にVGA段の入力インピーダンスが低下するため、ピークが大きくなる。



(a) 入力インピーダンス



(b) トランスインピーダンス利得

図6 TIAの評価結果

4. モジュール評価

4-1 サンプルと評価系

試作したドライバICを内製InP変調器と共にパッケージに組み込み、CDMを製作した。写真3にその外観を示す。

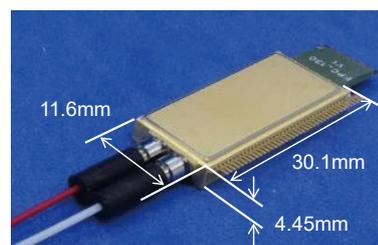


写真3 CDM

TIAについても、内製の広帯域PD⁽¹⁰⁾を搭載した光検出素子と共にパッケージ実装し、ICRを作製した。ICRのパッケージはCDMと同じものを使用している。

図7に伝送特性の評価系を示す。送信側はCDMを任意波形発生器で駆動し、出力された光信号を光変調アナライザでコンステレーション^{※9}として観測する。CDMは偏波多重が可能であるが、任意波形発生器のch数の制約から単一偏波としている。シンボルレートは128Gbaud、変調方式はSP-16QAM^{※10}である。

一方受信側はCDMで生成した光信号をICRで受信し、出力された電気信号について広帯域オシロスコプの機能により符号誤り率 (BER) を測定する。こちらもオシロスコプのch数の制約からICR出力の差動信号を正相側のみで観測しており、逆相側は50Ω終端している。

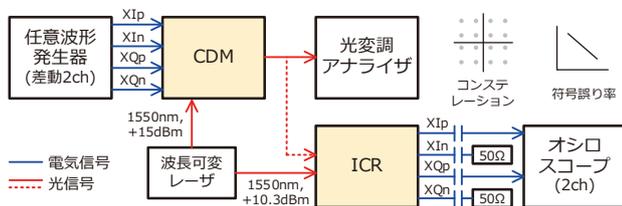


図7 128Gbaud SP-16QAM伝送特性評価系

4-2 送信モジュール評価結果

CDMの規格化した電気-光応答の周波数特性を図8 (a) に示す。67GHzで9dBの高い利得ピークが得られており、3dB帯域は78GHzである。図8 (b) は伝送信号のコンステレーションである。EVM^{※11}は9.7%と良好であり、BERの8.6E-4は誤り訂正技術oFECに必要な上限値の2.0E-2を十分下回る。

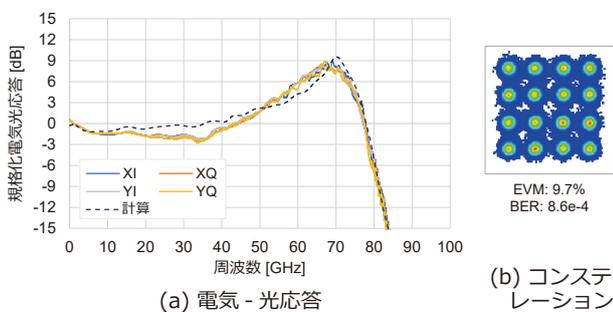


図8 CDMの評価結果

4-3 受信モジュール評価結果

ICRについて、利得を最大から最小まで変化させながら取得した光-電気応答の周波数特性を図9 (a) に示す。電気的反射によるリップルが見られるものの75GHz以上の帯域が得られている。図9 (b) に伝送特性の評価結果として、入力信号電力を変えたときのBERを示す。TIAの差動出力が単相で観測されている制約があるが、入力信号光電力-16dBm以上でoFECの上限値2.0E-2を下回る値が得られている。

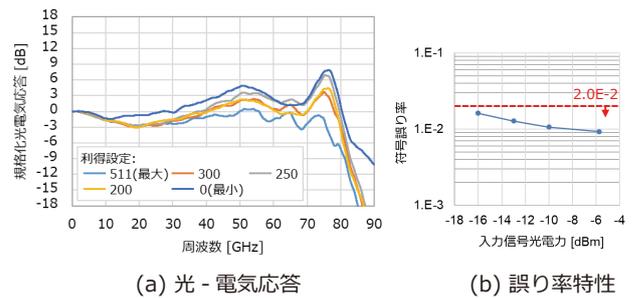


図9 ICRの評価結果

5. 結 言

今後普及が見込まれる800Gbit/sのデジタルコヒーレント光通信に対応するドライバICとTIAについて、高速動作に加えて要求される利得ピーク特性や可変利得機能に着目し、それらを実現する回路設計技術について述べた。そして実際にチップを試作し、CDMとICRに組み込んで評価した結果、128Gbaud SP-16QAMの変調信号でoFECの誤り訂正上限値2.0E-2以下を満たし、コヒーレント光通信システムに適用可能であることを示した。CDMとICRの動作帯域はどちらも75GHzを超えており、128Gbaudに必要な64GHzを上回っている。これらの技術は次世代の1Tbit/s超システムにも適用可能である。

用語集

※1 ICR

Intradyne Coherent Receiver : 光検出器とその電気信号増幅用のトランスインピーダンス増幅器 (TIA) を集積したコヒーレント通信用の受信器。

※2 CDM

Coherent Driver Modulator : 光変調器とそのドライバ IC を集積したコヒーレント通信用の送信器。

※3 ナイキスト周波数

シンボルレートを伝送する際に最低必要となる周波数。シンボルレートの半分の周波数になる。

※4 オープンコレクタ型

バイポーラトランジスタのコレクタが外部負荷と直列接続されるバッファ。バッファ内部の電力消費が小さいため消費電力を抑えられる。

※5 ミラー効果

反転増幅回路の利得によって入出力間の寄生容量が大きく見える効果。高周波増幅器では帯域劣化を引き起こす。

※6 カスコード回路

トランジスタを2つ縦続接続した回路。ミラー効果を抑制できる。

※7 SPI

Serial Peripheral Interface : マイコンと周辺ICとの通信に使用されるインターフェース規格。

※8 インピーダンス

交流回路において電気の流れにくさを表す値。

※9 コンステレーション

信号の位相と振幅の状態を、同相成分と直交成分を軸とする2次元平面上にプロットしたもの。

※10 SP-16QAM

Single Polarization 16 Quadrature Amplitude Modulation : 単一偏波光を使用し、振幅と位相の組合せで16種類の信号を使って情報を伝える変調方式。一つの信号で4bitの情報を伝送できる。

※11 EVM

Error Vector Magnitude : 測定されたコンステレーションが理想の位置からどれだけ離れているかを表す指標。小さいほど良好。

参考文献

- (1) OIF-DPC-MRX-02.0, Implementation Agreement for Micro Intradyne Coherent Receivers, Optical Internetworking Forum (2017)
- (2) OIF-HB-CDM-01.0, Implementation Agreement for the High Bandwidth Coherent Driver Modulator (HB-CDM), Optical Internetworking Forum (2018)
- (3) OIF-800ZR-01.0, Implementation Agreement for 800ZR Coherent Interfaces, Optical Internetworking Forum, 2024.
- (4) D. Tauber et al., Role of Coherent Systems in the Next DCI Generation, in Journal of Lightwave Technology, vol. 41, no. 4, pp. 1139-1151, 15 (Feb.15, 2023)
- (5) H. Uemura et al., A 19-dB Peaking at 72-GHz and 4.1-Vppd Output Swing SiGe BiCMOS Linear Driver with Dynamic Cascode Output Buffer, 2023 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS), Monterey, CA, USA, pp. 159-162 (2023)
- (6) S. Kumagai et al., A Shunt-Feedback TIA with Common-Base Variable Gain Input Stage for 128-GBaud Coherent Communication, 2023 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS), Monterey, CA, USA, pp. 163-166(2023)
- (7) Optical Internetworking Forum, Common Electrical I/O (CEI)-112G, <https://www.oiforum.com/technical-work/hot-topics/common-electrical-interface-cei-112g-2/>
- (8) Y. Segal et al., A 1.41pJ/b 224Gb/s PAM-4 SerDes Receiver with 31dB Loss Compensation, in Proc. IEEE International Solid-State Circuits Conference (ISSCC) (2022)
- (9) E. Säckinger, Analysis and Design of Transimpedance Amplifiers for Optical Receivers, John Wiley & Sons (2018)
- (10) T. Okimoto et al., 80-GHz Bandwidth and High Responsivity of InP Coherent Receiver PIC with Butt-joint waveguide PDs, OFC2023, W1A.3 (Mar. 2023)

執 筆 者

熊谷 誠司* : 伝送デバイス研究所 主幹



上村 浩 : 伝送デバイス研究所 グループ長



杉本 良之 : 伝送デバイス研究所 主幹



板橋 直樹 : 伝送デバイス研究所 主席



武智 勝 : 伝送デバイス研究所 主幹



田中 啓二 : 伝送デバイス研究所 部長



*主執筆者