バンドパスデルタシグマ変調器の時分割多重と並列化

前畠 貴^{†‡} 末松憲治[‡]

* 住友電気工業株式会社 伝送デバイス研究所
〒244-8588 神奈川県横浜市栄区田谷町1

‡ 東北大学 電気通信研究所〒980-8577 仙台市青葉区片平 2-1-1

E-mail: † 1 maehata-takashi@sei.co.jp, 1 suematsu@riec.tohoku.ac.jp

あらまし 第5世代及び次世代移動通信システムでは,高速通信を実現するため変調信号の広帯域化に加えて,複数の送信 器を用いる MIMO, CA 等の方式が導入され,装置の大型化を招いており,その小型化が求められている.この対策として,ア ナログの周波数変換機能や局部発信機を用いず直接ディジタル部から直接変調信号を出力し無線機の小型化を図ることができ る1ビットバンドパスデルタシグマ変調方式(1-bit BP-DSM)が注目されている.一方で,この変調器は,変調器自体がフィー ドバックループを用いた構成であること,さらに,内部のループフィルタに巡回型ディジタルフィルタが採用されることから, 時分割多重処理や並列化処理による小型化や高速化が困難であるという意見がある.そこで本稿では,多重数 M を適用した雑 音伝達関数 NTF(z^M)を導入して,回路の共有化とメモリ追加のみで時分割多重を実現できることを示し,多重数 2 の事例にお いて FPGA 実装を行い、回路規模を半減させ小型化ができることを示した.また,このフィードバックを含む多重化されたバン ドパスデルタシグマ変調器について、時間インタリーブ型デルタシグマ変調器の構成を用いることで並列処理を実現し,高速化 を図れることを示した.

キーワード デルタシグマ,バンドパス,多重化,並列化,D/A

Parallelization and Time Division Multiplexing for 1-bit Bandpass Delta-Sigma Modulator

Takashi Maehata^{† ‡} Noriharu Suematsu[‡]

[†] Transmission Devices Laboratory, Sumitomo Electric Industries, Ltd

1 Tayatyo, Sakae-ku, Yokohama 244-8588 Japan

‡ Research Institute of Electrical Communication, Tohoku University

2-1-1 Katahira, Aoba-ku, Sendai 980-8577 Japan

E-mail: † ‡ maehata-takashi@sei.co.jp, ‡ suematsu@ riec.tohoku.ac.jp

Abstract In 5G and next-generation mobile communication systems, to achieve high-speed communication, massive multipleinput and multiple-output (MIMO) and carrier aggregation (CA) that use multiple transmitters have been introduced with a wideband modulation signal, which causes an increase in the size of the equipment, thereby requiring the need to reduce its size. To solve this problem, 1-bit band-pass delta-sigma modulation (1-bit BP-DSM) has focused on, which can output modulation signals directly from the digital section without using analog frequency converter and local oscillator. On the other hand, there is a view that it is difficult to reduce the size and speed of this modulator by time division multiplexing and parallel processing, because the modulator itself is composed of a feedback loop, and furthermore, an infinite impulse response filter is used as the internal loop filter. Therefore, this paper first introduces a noise transfer function $NTF(z^M)$ applying multiplicity M, and shows that time division multiplexing can be realized with a constant circuit size (number of multipliers and adders) and only additional memory. In addition, by distributing the additional memory, it is demonstrated that the critical path can be divided and the processing speed can be doubled from 114 MHz to 239 MHz for example of multiplexing 2, designing a FPGA. We also showed that the multiplexed 1-bit band-pass delta-sigma can be further parallelized to achieve higher speed, using an architecture of timeinterleaved delta-sigma modulator.

Keywords delta-sigma modulator, bandpass, multiplexing, Parallelization, D/A converter

Copyright ©2022 by IEICE

1. Introduction

第5世代及び次世代移動通信システムでは、増 大するトラフィックに対応するため高速・大容量化を 目指した取り組み[1],[2]が進められている.この取り 組みの中では、変調信号の広帯域化に加えて Massive MIMO(multiple-input and multiple-output)やキャリア アグリゲーション[3]の検討が進められており、無線 機内部に多数の送信機を配置し、かつ複数の搬送波を 同時に出力するマルチバンド送信機能を実装すること が求められている.この動向は今後も継続することが 予想されており、変調信号帯域幅としては数100Mz以上,また送信系統数は益々増加することが考えられる. この無線装置の実現には、複数の高周波アナログ回路 の系統間で生じる想定外の干渉を抑圧する必要があり、 これが小型化への課題になる.

小型化の課題解決に向けた取り組みは従来から半 導体の微細化技術が活用されている.しかしながら微 細化には低電圧化を伴うため,小型化と同時にこの低 電圧対策を講じる必要がある.低電圧対策には,電圧 方向から時間方向で信号電力対雑音電力比を確保する 必要があり,無線信号を高速な1ビットのディジタル 列に変換する1ビットデルタシグマ変調器[4],[5] が 注目されている.

1ビットディジタル RF 送信器は,搬送波含む無線 信号を数 Gb/s の高速な1ビットのディジタルデータ としてディジタル部から直接出力する.このため,ア ナログ高周波部品とその周辺回路が不要となり,そこ から発生する干渉を回避する事ができる.また無線信 号をディジタル化した事によりディジタルチップ内で もより高集積化が期待できる.しかしながら,上述し た様な複数のアンテナ毎に独立した無線信号を出力す る場合には,アンテナ数分のバンドパスデルタシグマ 変調器も必要となるため回路規模の増加がする.

そこで本稿では、回路規模を低減することを目的と して、1-bit BP-DSM を時分割多重動作させることを検 討した.しかしながら BP-DSM は、変調器自体がフィ ードバックループの構成であり、さらに内部のディジ タルフィルタに巡回型ディジタルフィルタが採用され ることから、パイプライン処理や時分割多重処理に対 して全く適していない.

このため、本稿ではまず、多重数 M を適用した雑音 伝達関数 NTF(z^M)を導入することで、乗算及び加算の 数を増やすことなく、メモリ追加のみで時分割多重が 実現できることを示した.この雑音伝達関数は、M 個 の変調器の動作を、時間インタリーブ法を用いて並列 処理する動作を実現しており、M 個の変調器は完全に 独立した動作となっている.また、追加メモリを分散 配置することでクリティカルパスを分割し、多重数 2 の事例において、動作速度の高速化を図ることができ る.

また、この多重化した BP-DSM をさらに並列処理化 [6]-[10]することで高速化を図り、ディジタル RF の出 力として 10Gb/s 程度の処理能力を実現することにな る.

以下,本稿では、この多重化に焦点を当て報告を行う.



図1. 1ビットBP-DSMの概要



図 2. 2 次 1bit BP-DSM のブロック図

2. Bandpass Delta Sigma Modulator

図1は、1ビット BP-DSM の信号処理概要を示して いる.送信するI、Qのベースバンド信号は、まずデ ィタル直交変調を行い中間周波数で出力する.直交変 調された信号は、ディジタル周波数変換部を介して、 アップサンプリング及び周波数変換され、マルチレベ ルを持ったディジタル化された RF 信号として出力す る.ここでは、変調帯域幅の約100倍程度のアップサ ンプリングを行っている.この際、0を挿入するオー バサンプリング技術を用いて入力した信号をパルス状 に変換し、周波数領域においては、エリアスが多数発 生することを利用して周波数変換を行い、ほぼディタ ル信号処理負荷をかけずアップサンプリングと周波数 変換を実施することができる.このディタル化された マルチレベルの RF 信号が 1-bit BP-DSM に入力され、 2 値化され出力される.

この2値化されたディジタルデータは、パルス生成器(又は1ビットのディジタルアナログ変換器)を介して零次ホールドされた NRZ の矩形波アナログ信号として出力される.この信号はアナログバンドパスフィルタを介して波形が再生され、増幅部とアンテナを通して送信される.

ここで改めて図1に示す1ビット BP-DSM のブロッ ク図に注目する.入力信号 U(z)が2値量子化器を通し て出力信号 V(z) として出力されると同時に,入力へ フィードバックされて入力信号との差分(量子化雑音 Q)がループフィルタ L(z)を介してフィードバックを 形成している.この時,入力信号 U(z),出力信号 V(z) の関係は,式(1) で表現される.

$$V(z) = STF(z) U(z) + NTF(z)Q(z)$$
(1)

STF(z) = L(z)/(1+L(z)) (2)

NTF(z) = 1/(1+L(z)) (3)

式(1)の第1項は,信号伝達関数 STF(Signal Transfer Function)を持ち,入力信号 U(z)に対するバンドバスフ ィルタの特性を持つ.次に第2項の量子化雑音 Q(z)は, フィルタ係数として雑音伝達関数 NTF(Noise Transfer Function)を持ち,ループフィルタ L(z)と式(3)の関係 となる.NTF(z)は,通信帯域において帯域阻止フィル タ特性を持ち,所望の帯域において量子化雑音を抑圧 することで,その帯域において高 SNR を実現する.ま た,帯域阻止フィルタは、シングルバンド、マルチバ ンドで量子化雑音を抑圧するフィルタとして設計する ことでコンカレントマルチバンド変調器 [11]-[13]も 実現できる.

図 2 に、ループフィルタの具体例として 2 次 1-bit DSM のブロック図を示す. ディジタル直交変調された 入力信号 u(n) は、2 値出力信号 v(n) との差分を取っ た後、2 次巡回型ディジタルループフィルタ L(z) に入 力され、2 値量子化器によって 2 値化され出力信号 v(n) が出力される.2 次巡回型ループフィルタ L(z) が 式 (4) で与えられるとき、その入力 x(n)、出力 y(n)は、式 (5) となる.

$$L(z) = (b_1 z^{-1} + b_2 z^{-2}) / (1 + a_1 z^{-1} + a_2 z^{-2})$$
(4)

$$y(n) = b_1 x(n-1) + b_2 x(n-2) + a_1 y(n-1) + a_2 y(n-2)$$
(5)

図 2 及び式 (5) に示す様に 2 次 1-bit BP-DSM は, 乗算器 4 個,加算器 3 個が使用されており,この数が 回路規模と関係する.アレーアンテナの場合にはアン テナ数分の 2 次 1-bit BP-DSM の出力信号 v(n) が必要 となるため,アンテナ数に比例した回路規模が必要と なる.

また図2に示す様に今回検討する1-bit BP-DSMは, 巡回型ディジタルフィルタを採用しかつ,その入出力 がフィードバックする構成となる.一般的に,NTF(z) に対して,零極点を有する BP-DSMは,この様な構成 となる.

3. 多重化

図 3 に提案法となる 2 次 1-bit BP-DSM の時分割多 重ブロック図を示す. ディジタル直交変調された M 種 類の RF 信号が, M 倍速で動作する 1-bit BP-DSM に 入力され,また,その出力が各ブランチに出力される. 1-bit BP-DSM は,多重化された信号を図 3(b)に示す通 り,雑音伝達関数 NTF(z^{M}),ループフィルタ L(z^{M})を 用いて処理を行う.ループフィルタ L(z^{M})は,全メモ リ要素を z から z^{M} へ変換[14]することで得られる. 以下,説明を簡単にするため,多重数 M を 2 の場合



(a) 時分割多重の動作における1-bit BP-DSM の位置づけ



(b) M多重における1-bit BP-DSMのブロック図図 3.2 次 1-bit BP-DSM の時分割多重の基本構成



図 4.2 次 1-bit BP-DSM (多重数 2) における 信号処理の様子

について報告する.

図 4 に 2 次 1-bit BP-DSM (多重数 2) における信号 処理の様子を示す. ループフィルタ $L(z^2)$ は, 全メモ リ要素を z から z^2 へ変換し式(6)として与えられる. 図 4 (a) は, 偶数時刻 (n=2m) におけるフィルタの入 力 x(2m), 出力 y(2m) について, 式 (7) と表現され, ディジタルフィルタの内部メモリは, 式 (7) が示す通



(a) 最適化前





り偶数時刻の変数のみで表現され,奇数時刻のサンプ ルと独立して処理されることが確認できる. 同様に, 図 4 (b) は,奇数時刻 (n=2m+1) におけるフィルタの 入力 x(2m+1),出力 y(2m+1) について,式(8) と表 現され,ディジタルフィルタの内部メモリは,式(8) に示す通り奇数時刻の変数のみで表現され,偶数時刻 のサンプルと独立して処理されることが確認できる.

$$L(z^{2}) = (b_{1}z^{-2} + b_{2}z^{-4})/(1 + a_{1}z^{-2} + a_{2}z^{-4})$$
(6)

$$y(2m) = b_1 x(2m) + b_2 x(2m - 2) + a_1 y(2m - 2) + a_2 y(2m - 4)$$
(7)

$$y(2m+1) = b_1 x(2m+1) + b_2 x(2m-1) + a_1 y(2m-1) + a_2 y(2m-3)$$
(8)

っまり、図4の構成により、偶数時刻、奇数時刻に おいて完全に独立した信号処理が並行して実施され、 かつ単一の回路でこれらの処理を実施していることか ら、回路の共通化が図られ回路規模削減につながるこ とが分る.

次に図 5 に FPGA 実装を考慮して,処理速度を律速 する最長演算経路(クリティカルパス)について示し



た.図 5(a)は、多重化のため導入した追加メモリが、 各箇所に2個まとめて配置されている場合について示 しており、赤線のクリティカルパス上には、加算器が 1つ、乗算器が1つ接続されており、これらを1クロ ック以内で処理しなければならないことを示している. 各演算器の内部では、繰り上げ、繰り下げ等の処理が 実施されるため、処理時間が必要であり、高速処理を 目指す場合、このクリティカルパスを短くすることが 必要となる.クリティカルパスを短縮するには、青線 で示した隣接する経路との接続も考慮して、経路を分 断する様にメモリを配置することが重要となる.

図 5(b)は、1-bit BP-DSM の処理内容を変更すること なく、クリティカルパスが分断されるようにメモリを 分散配置した例を示す. FPGA 実装においては、容易 にメモリを分散配置することができ、この例の場合、 赤線のクリティカルパス上には、加算器が2個となり、 図 5(a)と比較して、加算器1個、乗算器1個を分断で きることを示している.

図 5(a),(b)について、各々 FPGA で設計し、動作速 度に図 6 に示す。ALTERA 社の StratixV において各々 114MHz, 239MHz となり、約 2 倍高速動作できること を確認した。同様に同社の ArriaX についても確認した が、両デバイス共に多重数の増加と共に動作速度が飽 和傾向にあることが分る。

追加したメモリについて分散配置を考慮すると,加 算器,乗算器の数は変化せず,メモリのみ追加するこ とで多重化が実現されることから,多重数の増加と共 にクリティカルパスを細かく分断することができ、ク リティカルパス上の演算器は最小1個近くまで低減す ることが期待できる.しかし,多重数と高速化の相乗 効果には,図6が示す通り,上限が存在することを示 唆している.一般的な FPGA の場合,演算器の動作速 度は,800MHz 程度であり多重数は多くても,10 程度 が上限になると予想される. 上述の通り,多重数 2 の場合について報告したが, 多重数 M についても、同様に多重化を実現することが できる.この様に,バンドパスデルタシグマ変調器は, 構造的に変調器自体がフィードバックループを用いた 構成であること,またループフィルタに巡回型ディジ タルフィルタを採用することから,2 重フィードバッ クループを形成し、時分割多重処理に適さない構造を 有しているが、多重数 M を適用した雑音伝達関数 NTF(z^M)の導入により多重化が可能と分かる.

4. 並列化

バンドパスデルタシグマ変調器の高速化を進める ため、並列処理 [6]-[10]を行う。ディジタル RF の出力 データ速度を仮に 10Gb/s、前節より各変調器の動作速 度を 200MHz とすると 50 並列程度の並列化が必要と なる。並列化には、様々な方式[15]-[18]が提案されてお り、本稿では、タイムインリーブ型デルタシグマ変調 器を使用する.この変調器は、図7に示す様にポリフ ェーズ分解によるフィルタバンクを使って、1入力1 出力のフィルタ H(z) を、M入力M出力のフィルタバ ンク H(z) として並列動作し、M 倍の動作速度を実現 する。また前節の多重化では、1入力1出力の変調器 について報告したが、本節の並列化した変調器に対し ても同様に、多重化を行うことができる.

式(9)は、このフィルタバンクH(z) 内の各要素フィル タ E_k(z) の伝達関数を示している。各要素フィルタと 対象となるフィルタ H(z) とは、式(10)で関係付けられ ている。

$$\overline{H(z)} = \begin{bmatrix} E_0(z) & E_1(z) & E_2(z) & \cdots & E_M(z) \\ z^{-1}E_{M^{-1}}(z) & E_0(z) & E_1(z) & \cdots & E_{M^{-1}}(z) \\ z^{-1}E_{M^{-2}}(z) & z^{-1}E_{M^{-1}}(z) & E_0(z) & \cdots & E_{M^{-2}}(z) \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ z^{-1}E_1(z) & z^{-1}E_2(z) & z^{-1}E_3(z) & \cdots & E_0(z) \end{bmatrix}$$
(9)

$$H(z) = \sum_{k=0}^{M-1} z^{-k} E_k(z^M)$$
(10)

最も簡単な事例として、遅延演算子 z⁻¹ を H(z) と 取り扱い,2 並列化する場合には,式(9),(10)より,式 (11)が導出できる.

$$H(z)=z^{-1}, \quad \overline{H(z)} = \begin{bmatrix} 0 & 1\\ z^{-1} & 0 \end{bmatrix}$$
(11)

$$\begin{pmatrix} b_2 \\ b_1 \end{pmatrix} = \overline{H(z)} \begin{pmatrix} a_2 \\ a_1 \end{pmatrix}$$
(12)

図 8 に,式(11),(12) に基づき累積加算するブロック図とその 2 並列化されたブロック図を示す.式(12)



図 7. ポリフェーズ分解に基づく フィルタバンクによる並列化の概要



(b) 2 入力 2 出力

(1)

▶ 1)

図 8. 2 並列化した累積加算のブロック図

に示す a1,a2,b1,b2 は,それぞれ並列化されてフィルタの入出力に対応しており,図 8(b)と対応している.

図 8(b) は、図 8(a) からフィルタ H(z) を除いた全機能ブロックを2並列で配置し、その後、H(z) を配置することで生成できる.図 8(a) の入力として1からカウントアップする信号を使用した場合、出力には、1,3,6,10 と出力されることを示しており、同様の結果が図 8(b)から2出力で得られることが分る.

ここで図 8(a) について入出力伝達関数の視点から 眺めてみると、その入出力関係は、式(13)に示す通り、 1 次巡回型ディジタルフィルタに対応しており、図 8 は、この2並列化を実現できることを示している.

$$L(z) = \frac{1}{1 - z^{-1}} \tag{13}$$

同様にして N 次巡回型ディジタルフィルタについても並列化[19],[20] が可能である.

次に,2入力2出力の式(11)の H(z) について,前 節の多重化を行う.例えば,多重数2の場合には,z から z² へ変換して式(14)が得られ,図14にそのブロ ック図を示す.

$$\overline{H(z^2)} = \begin{bmatrix} 0 & 1\\ z^{-2} & 0 \end{bmatrix}$$
(14)

図 14の入力として1からカウントアップする信号 1 と,-1からカウントダウンする信号2を2並列かつ 2 多重で入力した場合について示す.出力には,1,3,6 と -1,-3,-6 が交互に出力されることを示しており,2 並列かつ2多重化した累積加算が可能であることが確 認できる.



図 14. 2 並列かつ 2 多重化した累積加算 のブロック図

同様にして,式(4)のループフィルタ L(z) について は、式(11)を用いて $\overline{L(z)}$ による並列化を行い,式(6)の 多重数 2 のループフィルタについては,式(14)を用い て $\overline{L(z^2)}$ による並列化を行うことができる.図 15(a) に,1入力1出力の BP-DSM の基本形を示し,順次、 図 15(b)に2並列化、図 15(c)に2並列2多重化、図 15(d)に M 並列2多重化バンドパスデルタシグマ変調 器のブロック図を示す.図 15(d) では,破線内のブロ ックを必要な個数を配置し,それぞれのブロックには 並列並列変換を使用して適切にデータを入力すること により所望の機能を実現できる.また,前節で報告し たメモリ分散配置した高速化されたブロック図を使用 することもできる.

また図 16,17 には、L(z)及び $\overline{L(z)}$ について、4 次 IIR フィルタによる事例を示した。これらの事例から









組織的に拡張が可能であることが確認できる。

最後に変調器の回路規模について少し触れておく と、アンテナのブランチ数 B、多重数による回路の削 減効果を 1/2、並列配置するブロック数の削減[21]効 果を 1/4 と想定すると、回路規模は、凡そ MB/8 の オーダとなる. 64 ブランチであれば、市販の FPGA1 個に収まる回路規模となる.



図 16. 4次 IIR フィルタによる L(z) の構成事例



図 17. 4次 IIR フィルタによる L(z) の構成事例

5.まとめ

第5世代及び次世代移動通信システムにおける変調 信号の広帯域化と無線装置の小型化に向けて、1-bit バンドパスデルタシグマ変調器の時分割多重と並列化 処理による小型化と高速化について報告した.提案法 では、多重数 M を適用した雑音伝達関数 NTF(z^M)を 導入して時分割多重を実現し、FPGA 実装により多重数 2 の場合において、回路規模を 1/2 に削減し小型化が できることを確認した.またフィードバックを含む多 重化したバンドパスデルタシグマ変調器に関して、ポ リフェーズ分解によるフィルタバンクを用いることで 時間インタリーブ型デルタシグマ変調器を構成して並 列処理を実現し、高速化が図れることを報告した.

対 対

- 3GPP TR 38.801: "Study on new radio access technology: Radio access architecture and interfaces," V14.0.0, 2017–03 (Release 14).
- [2] 3GPP TS 38.401: "NG-RAN: Architecture description," V15.1.0, 2018–03 (Release 15).
- [3] 3GPP TS36.211 v12.4.0, "Evolved Universal Terrestrial Radio Access (E-UTRA); physical channels and modulation," http://www.3gpp.org, 2015.
- [4] R. Schreier and M. Snelgrove, "Bandpass delta-sigma modulation," Electron. Lett., vol.25, Nov. 1989.
- [5] R. Schreier and G.C. Temes, Understanding Delta-Sigma Data Converters, Institute of Electrical and Electronics Engineers, JohnWiley & Sons, 2005.
- [6] S. W. Chung, R. Ma, S. Shinjo, and K. H. Teo, "Interband carrier aggregation digital transmitter architecture with concurrent multi-band delta-sigma modulation using out-of-band noise cancellation," in Proc. IEEE MTT-S Int. Microw. Symp., Jun. 2015.
- [7] R. K. Poorfard, L. B. Lim, and D. A. Johns, "Timeinterleaved oversampling A/D converters: Theory and practice," IEEE Trans. Circuits Syst. II, vol. 44, pp. 634–645, Aug. 1997.
- [8] M. Kozak, M. Karaman, and I. Kale, "Efficient architectures for time-interleaved oversampling deltasigma data converters," IEEE Trans. Circuits Syst. II, vol. 47, pp. 802–810, Aug. 2000.
- [9] R. F. Cordeiro, A. S. R. Oliveira, J. Vieira, N. V. Silva, "Gigasample time-interleaved delta-sigma modulator for fpga-based all-digital transmitters," Digital System Design(DSD), pp. 222-227, Aug. 2014.
- [10] A. Bhide and A. Alvandpour, "An 11 GS/s 1.1 GHz bandwidth interleaved $\Delta\Sigma$ dac for 60 GHz radio in 65 nm CMOS", IEEE J. Solid State Circuits, vol. 50, pp. 2306-2318, Oct. 2015.
- [11] T. Maehata, K. Totani, S. Kameda, and N. Suematsu, "Concurrent dualband 1-bit digital transmitter using band-pass delta-sigma modulator," in Proc. Eur. Microw. Conf., 2013, pp. 1523–1526."
- [12] S. Chung, R. Ma, S. Shinjo, and K. H. Teo, "Interband carrier aggregation digital transmitter architecture with concurrent multi-band delta-sigma modulation using out-of-band noise cancellation," in Proc. IEEE MTT-S Int. Microw. Symp., 2015.

- [13] T. Maehata, S. Kameda, and N. Suematsu, "1-bit band-pass delta-sigma modulator with parallel IIR form for concurrent multiband digital transmitter," IEICE Trans. Communications Vol.E100-B, No.7, pp.1152-1159, July, 2017.
- [14] P. P. Vaidyanathan, Proc. IEEE, vol. 78, pp. 56-92, Jan. 1990.
- [15] R. K. Poorfard, L. B. Lim, and D. A. Johns, "Timeinterleaved oversampling A/D converters: Theory and practice," IEEE Trans. Circuits Syst. II, vol. 44, pp. 634–645, Aug. 1997.
- [16] M. Kozak, M. Karaman, and I. Kale, "Efficient architectures for time-interleaved oversampling deltasigma data converters," IEEE Trans. Circuits Syst. II, vol. 47, pp. 802–810, Aug. 2000.
- [17] R. F. Cordeiro, A. S. R. Oliveira, J. Vieira, N. V. Silva, "Gigasample time-interleaved delta-sigma modulator for fpga-based all-digital transmitters," Digital System Design(DSD), pp. 222-227, Aug. 2014.
- [18] A. Bhide and A. Alvandpour, "An 11 GS/s 1.1 GHz bandwidth interleaved $\Delta\Sigma$ dac for 60 GHz radio in 65 nm CMOS", IEEE J. Solid State Circuits, vol. 50, pp. 2306-2318, Oct. 2015.
- [19]前畠 貴,本良 瑞樹,亀田 卓,末松憲治,"デジタルRF技術の研究開発",信学技報,SR2016-77,pp.127-134,2016年10月.
- [20]前畠 貴,本良 瑞樹,亀田 卓,末松憲治,"デ ィジタル RF送信機に向けた IIR Filter の並列化", 2019 年信学総大
- [21]前畠 貴,本良 瑞樹,亀田 卓,末松憲治,"バ ンドパスデルタシグマ変調器の演算量低減",2020 年信学総大