



# 1. Introduction

第 5 世代及び次世代移動通信システムでは、増大するトラフィックに対応するため高速・大容量化を目指した取り組み[1],[2]が進められている。この取り組みの中では、変調信号の広帯域化に加えて **Massive MIMO**(multiple-input and multiple-output) やキャリアアグリゲーション[3] の検討が進められており、無線機内部に多数の送信機を配置し、かつ複数の搬送波を同時に出力するマルチバンド送信機能を実装することが求められている。この動向は今後も継続することが予想されており、変調信号帯域幅としては数 100MHz 以上、また送信系統数は益々増加することが考えられる。この無線装置の実現には、複数の高周波アナログ回路の系統間で生じる想定外の干渉を抑圧する必要があり、これが小型化への課題になる。

小型化の課題解決に向けた取り組みは従来から半導体の微細化技術が活用されている。しかしながら微細化には低電圧化を伴うため、小型化と同時にこの低電圧対策を講じる必要がある。低電圧対策には、電圧方向から時間方向で信号電力対雑音電力比を確保する必要があり、無線信号を高速な 1 ビットのデジタル列に変換する 1 ビットデルタシグマ変調器[4],[5] が注目されている。

1 ビットデジタル RF 送信器は、搬送波含む無線信号を数 Gb/s の高速な 1 ビットのデジタルデータとしてデジタル部から直接出力する。このため、アナログ高周波部品とその周辺回路が不要となり、そこから発生する干渉を回避することができる。また無線信号をデジタル化した事によりデジタルチップ内でもより高集積化が期待できる。しかしながら、上述した様な複数のアンテナ毎に独立した無線信号を出力する場合には、アンテナ数分のバンドパスデルタシグマ変調器も必要となるため回路規模の増加がする。

そこで本稿では、回路規模を低減することを目的として、1-bit BP-DSM を時分割多重動作させることを検討した。しかしながら BP-DSM は、変調器自体がフィードバックループの構成であり、さらに内部のデジタルフィルタに巡回型デジタルフィルタが採用されることから、パイプライン処理や時分割多重処理に対して全く適していない。

このため、本稿ではまず、多重数  $M$  を適用した雑音伝達関数  $NTF(z^M)$  を導入することで、乗算及び加算の数を増やすことなく、メモリ追加のみで時分割多重が実現できることを示した。この雑音伝達関数は、 $M$  個の変調器の動作を、時間インタリーブ法を用いて並列処理する動作を実現しており、 $M$  個の変調器は完全に独立した動作となっている。また、追加メモリを分散配置することでクリティカルパスを分割し、多重数 2 の事例において、動作速度の高速化を図ることができる。

また、この多重化した BP-DSM をさらに並列処理化[6]-[10]することで高速化を図り、デジタル RF の出力として 10Gb/s 程度の処理能力を実現することになる。

以下、本稿では、この多重化に焦点を当て報告を行う。

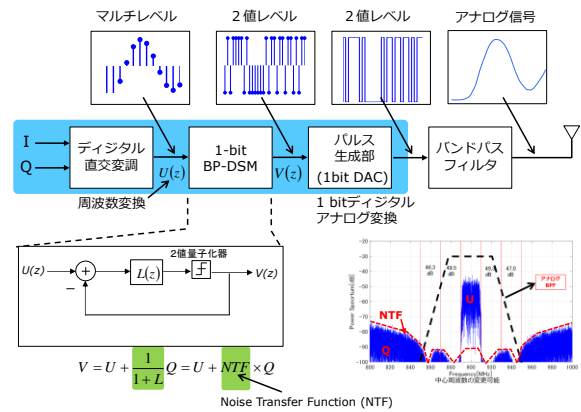


図 1. 1 ビット BP-DSM の概要

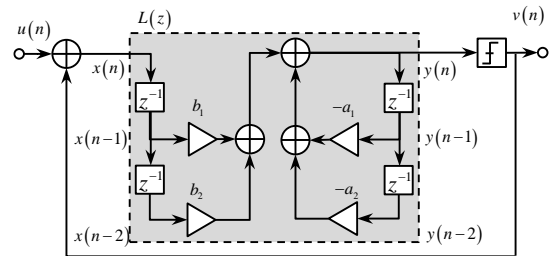


図 2. 2 次 1bit BP-DSM のブロック図

## 2. Bandpass Delta Sigma Modulator

図 1 は、1 ビット BP-DSM の信号処理概要を示している。送信する I、Q のベースバンド信号は、まずデジタル直交変調を行い中間周波数で出力する。直交変調された信号は、デジタル周波数変換部を介して、アップサンプリング及び周波数変換され、マルチレベルを持ったデジタル化された RF 信号として出力する。ここでは、変調帯域幅の約 100 倍程度のアップサンプリングを行っている。この際、0 を挿入するオーバサンプリング技術を用いて入力した信号をパルス状に変換し、周波数領域においては、エリヤスが多数発生することを利用して周波数変換を行い、ほぼデジタル信号処理負荷をかけずアップサンプリングと周波数変換を実施することができる。このデジタル化されたマルチレベルの RF 信号が 1-bit BP-DSM に入力され、2 値化され出力される。

この 2 値化されたデジタルデータは、パルス生成器（又は 1 ビットのデジタルアナログ変換器）を介して零次ホールドされた NRZ の矩形波アナログ信号として出力される。この信号はアナログバンドパスフィルタを介して波形が再生され、増幅部とアンテナを通して送信される。

ここで改めて図 1 に示す 1 ビット BP-DSM のブロック図に注目する。入力信号  $U(z)$  が 2 値量子化器を通して出力信号  $V(z)$  として出力されると同時に、入力へフィードバックされて入力信号との差分（量子化雑音  $Q$ ）がループフィルタ  $L(z)$  を介してフィードバックを形成している。この時、入力信号  $U(z)$ 、出力信号  $V(z)$  の関係は、式(1) で表現される。

$$V(z) = STF(z) U(z) + NTF(z)Q(z) \quad (1)$$

$$STF(z) = L(z)/(1+L(z)) \quad (2)$$

$$NTF(z) = 1/(1+L(z)) \quad (3)$$

式(1)の第1項は、信号伝達関数 STF(Signal Transfer Function)を持ち、入力信号  $U(z)$  に対するバンドパスフィルタの特性を持つ。次に第2項の量子化雑音  $Q(z)$  は、フィルタ係数として雑音伝達関数 NTF(Noise Transfer Function)を持ち、ループフィルタ  $L(z)$  と式(3)の関係となる。NTF(z)は、通信帯域において帯域阻止フィルタ特性を持ち、所望の帯域において量子化雑音を抑圧することで、その帯域において高 SNR を実現する。また、帯域阻止フィルタは、シングルバンド、マルチバンドで量子化雑音を抑圧するフィルタとして設計することでコンカレントマルチバンド変調器 [11]-[13] も実現できる。

図2に、ループフィルタの具体例として2次1-bit DSMのブロック図を示す。デジタル直交変調された入力信号  $u(n)$  は、2値出力信号  $v(n)$  との差分を取った後、2次巡回型デジタルループフィルタ  $L(z)$  に入力され、2値量子化器によって2値化され出力信号  $v(n)$  が出力される。2次巡回型ループフィルタ  $L(z)$  が式(4)で与えられるとき、その入力  $x(n)$ 、出力  $y(n)$  は、式(5)となる。

$$L(z) = (b_1z^{-1} + b_2z^{-2}) / (1 + a_1z^{-1} + a_2z^{-2}) \quad (4)$$

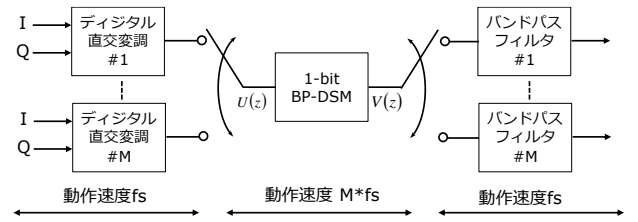
$$y(n) = b_1x(n-1) + b_2x(n-2) + a_1y(n-1) + a_2y(n-2) \quad (5)$$

図2及び式(5)に示す様に2次1-bit BP-DSMは、乗算器4個、加算器3個が使用されており、この数が回路規模と関係する。アレーアンテナの場合にはアンテナ数分の2次1-bit BP-DSMの出力信号  $v(n)$  が必要となるため、アンテナ数に比例した回路規模が必要となる。

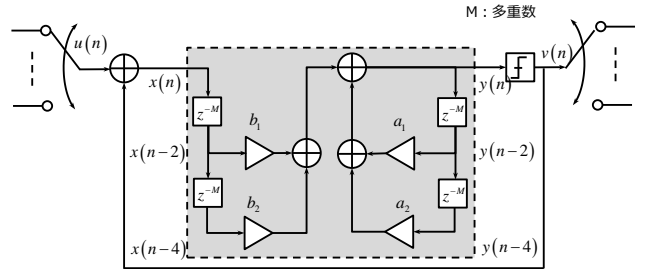
また図2に示す様に今回検討する1-bit BP-DSMは、巡回型デジタルフィルタを採用しかつ、その入出力がフィードバックする構成となる。一般的に、NTF(z)に対して、零極点を有するBP-DSMは、このような構成となる。

### 3. 多重化

図3に提案法となる2次1-bit BP-DSMの時分割多重ブロック図を示す。デジタル直交変調されたM種類のRF信号が、M倍速で動作する1-bit BP-DSMに入力され、また、その出力が各ブランチに出力される。1-bit BP-DSMは、多重化された信号を図3(b)に示す通り、雑音伝達関数  $NTF(z^M)$ 、ループフィルタ  $L(z^M)$  を用いて処理を行う。ループフィルタ  $L(z^M)$  は、全メモリ要素を  $z$  から  $z^M$  へ変換[14]することで得られる。以下、説明を簡単にするため、多重数  $M$  を2の場合

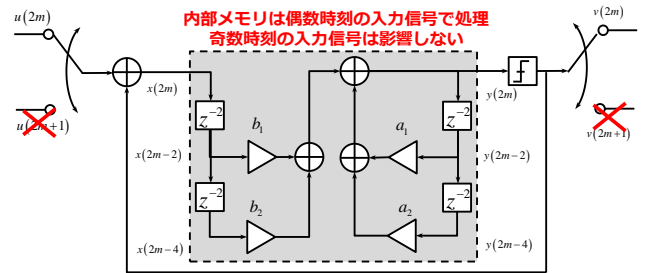


(a) 時分割多重の動作における1-bit BP-DSM の位置づけ

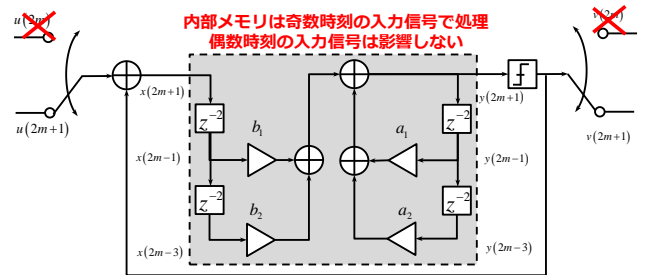


(b) M多重における1-bit BP-DSMのブロック図

図3. 2次1-bit BP-DSMの時分割多重の基本構成



(a) 偶数時刻での内部状態

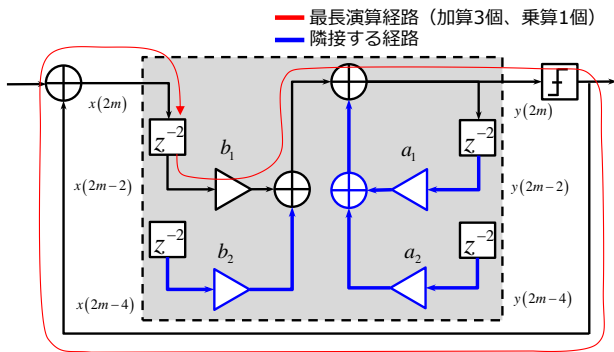


(b) 奇数時刻での内部状態

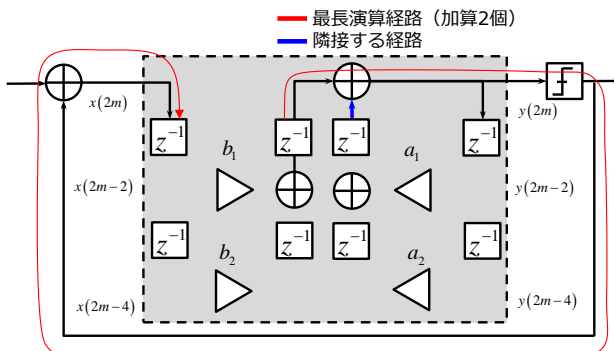
図4. 2次1-bit BP-DSM (多重数2)における信号処理の様子

について報告する。

図4に2次1-bit BP-DSM (多重数2)における信号処理の様子を示す。ループフィルタ  $L(z^2)$  は、全メモリ要素を  $z$  から  $z^2$  へ変換し式(6)として与えられる。図4(a)は、偶数時刻 ( $n=2m$ ) におけるフィルタの入力  $x(2m)$ 、出力  $y(2m)$  について、式(7)と表現され、デジタルフィルタの内部メモリは、式(7)が示す通



(a) 最適化前



(b) 最適化後

図 5. 2次 1-bit BP-DSM (多重数 2) における FPGA 実装を考慮したメモリの分散配置

り偶数時刻の変数のみで表現され、奇数時刻のサンプルと独立して処理されることが確認できる。同様に、図 4 (b) は、奇数時刻 ( $n=2m+1$ ) におけるフィルタの入力  $x(2m+1)$ 、出力  $y(2m+1)$  について、式 (8) と表現され、デジタルフィルタの内部メモリは、式 (8) に示す通り奇数時刻の変数のみで表現され、偶数時刻のサンプルと独立して処理されることが確認できる。

$$L(z^2) = (b_1z^{-2} + b_2z^{-4}) / (1 + a_1z^{-2} + a_2z^{-4}) \quad (6)$$

$$y(2m) = b_1x(2m) + b_2x(2m-2) + a_1y(2m-2) + a_2y(2m-4) \quad (7)$$

$$y(2m+1) = b_1x(2m+1) + b_2x(2m-1) + a_1y(2m-1) + a_2y(2m-3) \quad (8)$$

つまり、図 4 の構成により、偶数時刻、奇数時刻において完全に独立した信号処理が並行して実施され、かつ単一の回路でこれらの処理を実施していることから、回路の共通化が図られ回路規模削減につながる事が分る。

次に図 5 に FPGA 実装を考慮して、処理速度を律速する最長演算経路 (クリティカルパス) について示し

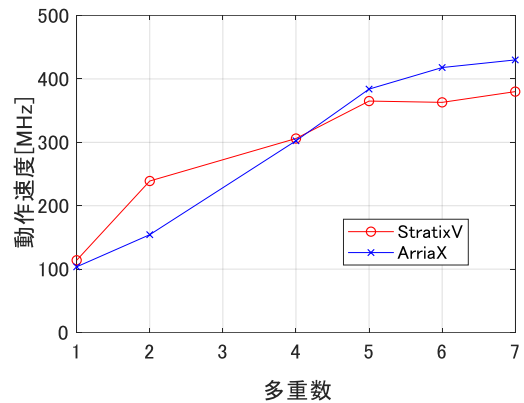


図 6. 多重数と動作速度

た。図 5(a)は、多重化のため導入した追加メモリが、各箇所にも 2 個まとめて配置されている場合について示しており、赤線のクリティカルパス上には、加算器が 1 つ、乗算器が 1 つ接続されており、これらを 1 クロック以内で処理しなければならないことを示している。各演算器の内部では、繰り上げ、繰り下げ等の処理が実施されるため、処理時間が必要であり、高速処理を目指す場合、このクリティカルパスを短くすることが必要となる。クリティカルパスを短縮するには、青線で示した隣接する経路との接続も考慮して、経路を分断する様にメモリを配置することが重要となる。

図 5(b)は、1-bit BP-DSM の処理内容を変更することなく、クリティカルパスが分断されるようにメモリを分散配置した例を示す。FPGA 実装においては、容易にメモリを分散配置することができ、この例の場合、赤線のクリティカルパス上には、加算器が 2 個となり、図 5(a)と比較して、加算器 1 個、乗算器 1 個を分断できることを示している。

図 5(a),(b)について、各々 FPGA で設計し、動作速度に図 6 に示す。ALTERA 社の StratixV において各々 114MHz, 239MHz となり、約 2 倍高速動作できることを確認した。同様に同社の ArriaX についても確認したが、両デバイス共に多重数の増加と共に動作速度が飽和傾向にあることが分る。

追加したメモリについて分散配置を考慮すると、加算器、乗算器の数は変化せず、メモリのみ追加することで多重化が実現されることから、多重数の増加と共にクリティカルパスを細かく分断することができ、クリティカルパス上の演算器は最小 1 個近くまで低減することが期待できる。しかし、多重数と高速化の相乗効果には、図 6 が示す通り、上限が存在することを示唆している。一般的な FPGA の場合、演算器の動作速度は、800MHz 程度であり多重数は多くても、10 程度が上限になると予想される。

上述の通り、多重数 2 の場合について報告したが、多重数 M についても、同様に多重化を実現することができる。この様に、バンドパスデルタシグマ変調器は、構造的に変調器自体がフィードバックループを用いた構成であること、またループフィルタに巡回型デジタルフィルタを採用することから、2 重フィードバックループを形成し、時分割多重処理に適さない構造を有しているが、多重数 M を適用した雑音伝達関数  $\text{NTF}(z^M)$  の導入により多重化が可能と分かる。

#### 4. 並列化

バンドパスデルタシグマ変調器の高速化を進めるため、並列処理 [6]-[10]を行う。デジタル RF の出力データ速度を仮に 10Gb/s、前節より各変調器の動作速度を 200MHz とすると 50 並列程度の並列化が必要となる。並列化には、様々な方式[15]-[18]が提案されており、本稿では、タイムインリープ型デルタシグマ変調器を使用する。この変調器は、図 7 に示す様にポリフェーズ分解によるフィルタバンクを使って、1 入力 1 出力のフィルタ  $H(z)$  を、M 入力 M 出力のフィルタバンク  $\overline{H}(z)$  として並列動作し、M 倍の動作速度を実現する。また前節の多重化では、1 入力 1 出力の変調器についても同様に、多重化を行うことができる。

式(9)は、このフィルタバンク  $\overline{H}(z)$  内の各要素フィルタ  $E_k(z)$  の伝達関数を示している。各要素フィルタと対象となるフィルタ  $H(z)$  とは、式(10)で関係付けられている。

$$\overline{H}(z) = \begin{bmatrix} E_0(z) & E_1(z) & E_2(z) & \cdots & E_M(z) \\ z^{-1}E_{M-1}(z) & E_0(z) & E_1(z) & \cdots & E_{M-1}(z) \\ z^{-1}E_{M-2}(z) & z^{-1}E_{M-1}(z) & E_0(z) & \cdots & E_{M-2}(z) \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ z^{-1}E_1(z) & z^{-1}E_2(z) & z^{-1}E_3(z) & \cdots & E_0(z) \end{bmatrix} \quad (9)$$

$$H(z) = \sum_{k=0}^{M-1} z^{-k} E_k(z^M) \quad (10)$$

最も簡単な事例として、遅延演算子  $z^{-1}$  を  $H(z)$  と取り扱い、2 並列化する場合には、式(9),(10)より、式(11)が導出できる。

$$H(z) = z^{-1}, \quad \overline{H}(z) = \begin{bmatrix} 0 & 1 \\ z^{-1} & 0 \end{bmatrix} \quad (11)$$

$$\begin{pmatrix} b_2 \\ b_1 \end{pmatrix} = \overline{H}(z) \begin{pmatrix} a_2 \\ a_1 \end{pmatrix} \quad (12)$$

図 8 に、式(11), (12) に基づき累積加算するブロック図とその 2 並列化されたブロック図を示す。式(12)

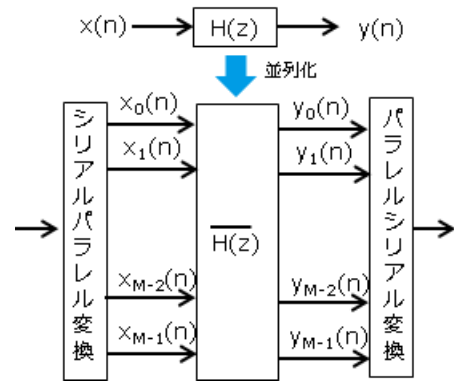


図 7. ポリフェーズ分解に基づくフィルタバンクによる並列化の概要

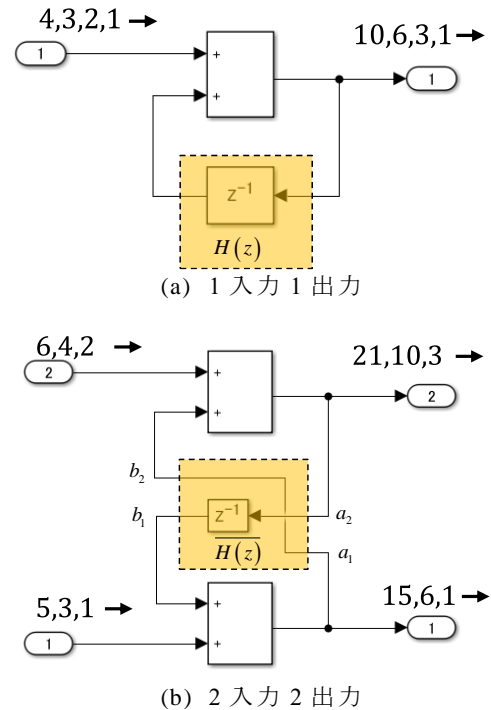


図 8. 2 並列化した累積加算のブロック図

に示す  $a_1, a_2, b_1, b_2$  は、それぞれ並列化されてフィルタの入出力に対応しており、図 8(b)と対応している。

図 8(b) は、図 8(a) からフィルタ  $H(z)$  を除いた全機能ブロックを 2 並列で配置し、その後、 $\overline{H}(z)$  を配置することで生成できる。図 8(a) の入力として 1 からカウントアップする信号を使用した場合、出力には、1,3,6,10 と出力されることを示しており、同様の結果が図 8(b)から 2 出力で得られることが分る。

ここで図 8(a) について入出力伝達関数の視点から眺めてみると、その入出力関係は、式(13)に示す通り、1 次巡回型デジタルフィルタに対応しており、図 8 は、この 2 並列化を実現できることを示している。

$$L(z) = \frac{1}{1-z^{-1}} \quad (13)$$

同様にして N 次巡回型デジタルフィルタについても並列化[19],[20]が可能である。

次に、2 入力 2 出力の式(11)の  $\overline{H(z)}$  について、前節の多重化を行う。例えば、多重数 2 の場合には、 $z$  から  $z^2$  へ変換して式(14)が得られ、図 14 にそのブロック図を示す。

$$\overline{H(z^2)} = \begin{bmatrix} 0 & 1 \\ z^{-2} & 0 \end{bmatrix} \quad (14)$$

図 14 の入力として 1 からカウントアップする信号 1 と、-1 からカウントダウンする信号 2 を 2 並列かつ 2 多重で入力した場合について示す。出力には、1,3,6 と -1,-3,-6 が交互に出力されることを示しており、2 並列かつ 2 多重化した累積加算が可能であることが確認できる。

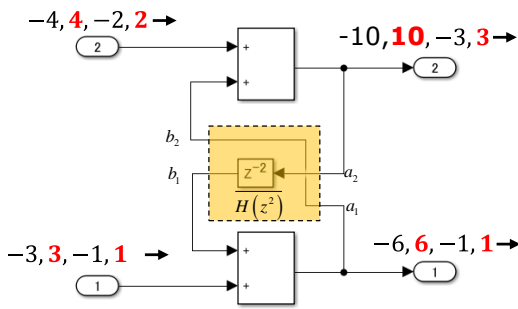
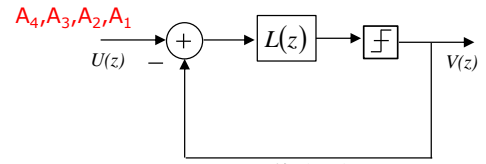


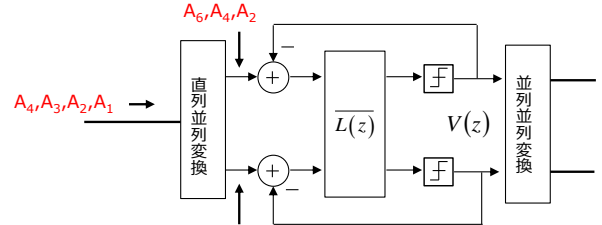
図 14. 2 並列かつ 2 多重化した累積加算のブロック図

同様にして、式(4)のループフィルタ  $L(z)$  については、式(11)を用いて  $\overline{L(z)}$  による並列化を行い、式(6)の多重数 2 のループフィルタについては、式(14)を用いて  $\overline{L(z^2)}$  による並列化を行うことができる。図 15(a) に、1 入力 1 出力の BP-DSM の基本形を示し、順次、図 15(b) に 2 並列化、図 15(c) に 2 並列 2 多重化、図 15(d) に M 並列 2 多重化バンドパスデルタシグマ変調器のブロック図を示す。図 15(d) では、破線内のブロックを必要な個数を配置し、それぞれのブロックには並列並列変換を使用して適切にデータを入力することにより所望の機能を実現できる。また、前節で報告したメモリ分散配置した高速化されたブロック図を使用することもできる。

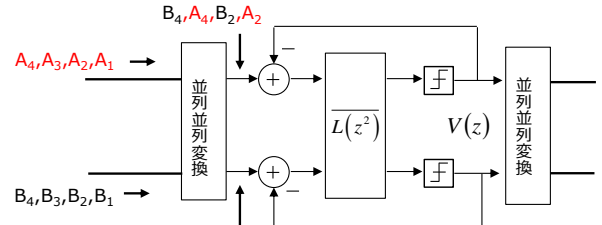
また図 16,17 には、 $L(z)$  及び  $\overline{L(z)}$  について、4 次 IIR フィルタによる事例を示した。これらの事例から



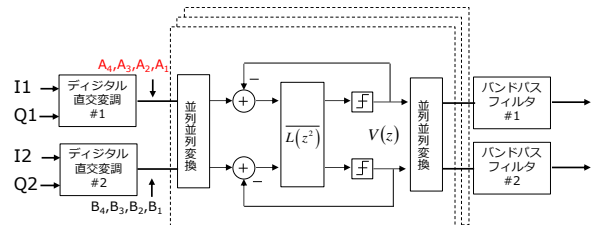
(a) 基本形



(b) 2 並列化



(c) 2 並列かつ 2 多重化



(a) M 並列 2 多重 BP-DSM

図 15. 並列化及び 2 多重化された BP-DSM のブロック図

組織的に拡張が可能であることが確認できる。

最後に変調器の回路規模について少し触れておくと、アンテナのブランチ数 B、多重数による回路の削減効果を 1/2、並列配置するブロック数の削減[21]効果を 1/4 と想定すると、回路規模は、凡そ MB/8 のオーダとなる。64 ブランチであれば、市販の FPGA1 個に収まる回路規模となる。

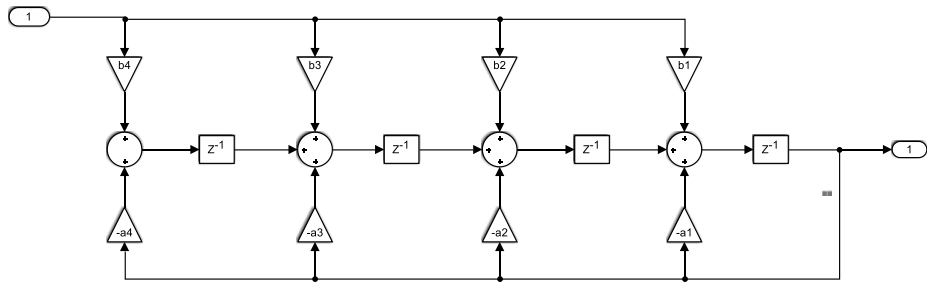


図 16. 4次 IIR フィルタによる  $L(z)$  の構成事例

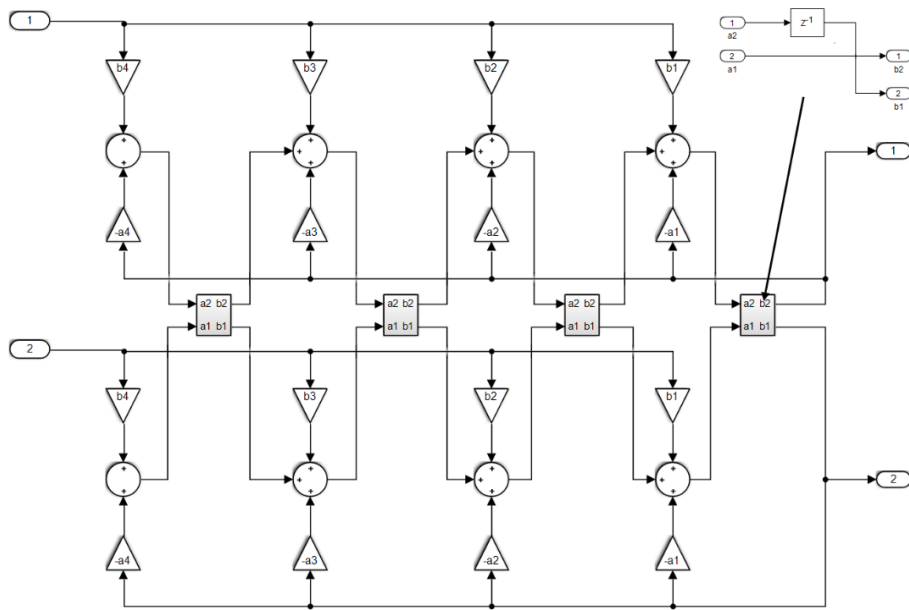


図 17. 4次 IIR フィルタによる  $\overline{L(z)}$  の構成事例

## 5. まとめ

第5世代及び次世代移動通信システムにおける変調信号の広帯域化と無線装置の小型化に向けて、1-bitバンドパスデルタシグマ変調器の時分割多重と並列化処理による小型化と高速化について報告した。提案法では、多重数  $M$  を適用した雑音伝達関数  $NTF(z^M)$  を導入して時分割多重を実現し、FPGA実装により多重数2の場合において、回路規模を1/2に削減し小型化ができることを確認した。またフィードバックを含む多重化したバンドパスデルタシグマ変調器に関して、ポリフェーズ分解によるフィルタバンクを用いることで時間インターリーブ型デルタシグマ変調器を構成して並列処理を実現し、高速化が図れることを報告した。

## 文 献

- [1] 3GPP TR 38.801: "Study on new radio access technology: Radio access architecture and interfaces," V14.0.0, 2017–03 (Release 14).
- [2] 3GPP TS 38.401: "NG-RAN: Architecture description," V15.1.0, 2018–03 (Release 15).
- [3] 3GPP TS36.211 v12.4.0, "Evolved Universal Terrestrial Radio Access (E-UTRA); physical channels and modulation," <http://www.3gpp.org>, 2015.
- [4] R. Schreier and M. Snelgrove, "Bandpass delta-sigma modulation," *Electron. Lett.*, vol.25, Nov. 1989.
- [5] R. Schreier and G.C. Temes, *Understanding Delta-Sigma Data Converters*, Institute of Electrical and Electronics Engineers, JohnWiley & Sons, 2005.
- [6] S. W. Chung, R. Ma, S. Shinjo, and K. H. Teo, "Inter-band carrier aggregation digital transmitter architecture with concurrent multi-band delta-sigma modulation using out-of-band noise cancellation," in *Proc. IEEE MTT-S Int. Microw. Symp.*, Jun. 2015.
- [7] R. K. Poorfard, L. B. Lim, and D. A. Johns, "Time-interleaved oversampling A/D converters: Theory and practice," *IEEE Trans. Circuits Syst. II*, vol. 44, pp. 634–645, Aug. 1997.
- [8] M. Kozak, M. Karaman, and I. Kale, "Efficient architectures for time-interleaved oversampling delta-sigma data converters," *IEEE Trans. Circuits Syst. II*, vol. 47, pp. 802–810, Aug. 2000.
- [9] R. F. Cordeiro, A. S. R. Oliveira, J. Vieira, N. V. Silva, "Gigasample time-interleaved delta-sigma modulator for fpga-based all-digital transmitters," *Digital System Design(DSD)*, pp. 222–227, Aug. 2014.
- [10] A. Bhide and A. Alvandpour, "An 11 GS/s 1.1 GHz bandwidth interleaved  $\Delta\Sigma$  dac for 60 GHz radio in 65 nm CMOS", *IEEE J. Solid State Circuits*, vol. 50, pp. 2306–2318, Oct. 2015.
- [11] T. Maehata, K. Totani, S. Kameda, and N. Suematsu, "Concurrent dualband 1-bit digital transmitter using band-pass delta-sigma modulator," in *Proc. Eur. Microw. Conf.*, 2013, pp. 1523–1526."
- [12] S. Chung, R. Ma, S. Shinjo, and K. H. Teo, "Inter-band carrier aggregation digital transmitter architecture with concurrent multi-band delta-sigma modulation using out-of-band noise cancellation," in *Proc. IEEE MTT-S Int. Microw. Symp.*, 2015.
- [13] T. Maehata, S. Kameda, and N. Suematsu, "1-bit band-pass delta-sigma modulator with parallel IIR form for concurrent multiband digital transmitter," *IEICE Trans. Communications Vol.E100-B*, No.7, pp.1152–1159, July, 2017.
- [14] P. P. Vaidyanathan, *Proc. IEEE*, vol. 78, pp. 56–92, Jan. 1990.
- [15] R. K. Poorfard, L. B. Lim, and D. A. Johns, "Time-interleaved oversampling A/D converters: Theory and practice," *IEEE Trans. Circuits Syst. II*, vol. 44, pp. 634–645, Aug. 1997.
- [16] M. Kozak, M. Karaman, and I. Kale, "Efficient architectures for time-interleaved oversampling delta-sigma data converters," *IEEE Trans. Circuits Syst. II*, vol. 47, pp. 802–810, Aug. 2000.
- [17] R. F. Cordeiro, A. S. R. Oliveira, J. Vieira, N. V. Silva, "Gigasample time-interleaved delta-sigma modulator for fpga-based all-digital transmitters," *Digital System Design(DSD)*, pp. 222–227, Aug. 2014.
- [18] A. Bhide and A. Alvandpour, "An 11 GS/s 1.1 GHz bandwidth interleaved  $\Delta\Sigma$  dac for 60 GHz radio in 65 nm CMOS", *IEEE J. Solid State Circuits*, vol. 50, pp. 2306–2318, Oct. 2015.
- [19] 前島 貴, 本良 瑞樹, 亀田 卓, 末松憲治, "デジタルRF技術の研究開発", *信学技報*, SR2016-77, pp.127-134, 2016年10月.
- [20] 前島 貴, 本良 瑞樹, 亀田 卓, 末松憲治, "デジタルRF送信機に向けたIIR Filterの並列化", 2019年信学総大
- [21] 前島 貴, 本良 瑞樹, 亀田 卓, 末松憲治, "バンドパスデルタシグマ変調器の演算量低減", 2020年信学総大