

# SiC JFET による高速スイッチング電源

初川 聡\*・築野 孝・藤川 一洋  
志賀 信夫・ウリントヤ・和田 和千  
大平 孝

High-Speed Switching Power Supply Using SiC RESURF JFETs — by Satoshi Hatsukawa, Takashi Tsuno, Kazuhiro Fujikawa, Nobuo Shiga, Tuya Wuren, Kazuyuki Wada and Takashi Ohira — We have developed a silicon carbide (SiC) junction field effect transistor (JFET) with a reduced surface field (RESURF) structure. This JFET is 2 mm × 2 mm in size and has ideal characteristics for high speed switching: a normal saturation current of about 250 A/cm<sup>2</sup> at a gate voltage of 2 V, a specific on-resistance of about 13 mΩ cm<sup>2</sup>, and a maximum breakdown voltage of over 200 V. Using this JFET, we have developed a novel harmonic canceling switch array (HCA) circuit which compounds phase shifted signal and demonstrated pulse width modulation (PWM). The carrier wave of 20.5 MHz, which was pulse-width modulated with a 4.1 MHz input signal, was successfully demodulated.

Keywords: RESURF JFET, high temperature characteristics, DC-DC converter, 4H-SiC

## 1. 緒言

地球温暖化に対する国際的な意識が大きな高まりを見せ、CO<sub>2</sub>排出量削減の必要性が広く認識されてきており、また石油等の化石燃料資源の枯渇が近づきつつあることから、省エネルギー技術の開発が重要視されている。電気エネルギーは、非常に使い勝手のよいエネルギーであることから全エネルギーに占める割合は年々増加しており、それを効率的に運用する技術の開発は、省エネルギーに向けての重要な柱と位置づけられている。電気エネルギーはさまざまな変換を受けて用いられる。その変換におけるキーとなるデバイスが、電力機器向けの半導体素子すなわちパワーデバイスであり、省エネルギーのためにより優れたパワーデバイスの登場が望まれるようになってきた。

パワーデバイスは、高耐圧化、大電流化、高速・高周波化されているが、そのほとんど全てが通常の半導体素子と同様にシリコン (Si) の上に作製されている。Si パワーデバイス分野では、パワー用金属酸化物半導体電界効果トランジスタ (MOSFET)、絶縁ゲート型バイポーラトランジスタ (IGBT) などの素子が開発され、適用範囲が広がってきた。しかし、その特性はすでに絶縁破壊電界や電子飽和速度等の物性値から導出される理論的限界に近づきつつあり、Si に変わる新しい半導体材料を用いた高性能デバイスの開発が望まれる。

新しい半導体材料の有力候補がワイドバンドギャップ半導体である炭化珪素 (SiC) である。SiC は研磨剤や放熱材料として用いられてきたが、高品質な単結晶の開発に伴い半導体としての研究が活発化してきた<sup>(1)</sup>。SiC は、Si に比べて、絶縁破壊電界、電子飽和速度、熱伝導率が大きくパ

ワーデバイスに適用する上で優れた特性を有することから、より高耐圧、高速動作、低オン抵抗のデバイスを目指して、SiC を用いたパワーデバイスの研究開発が精力的に行われている。

SiC ショットキーバリアダイオード (SBD) が、ヨーロッパのメーカから商品化されているのに加え、スイッチングデバイスについても精力的に開発が続けられており、特に縦型 MOSFET の開発が盛んである。これは、Si の MOSFET の構造、プロセスをそのまま適用できることに加え、大電流、高耐圧のデバイスとして期待が大きいからである。それに対して接合型電界効果トランジスタ (JFET) では SiC のバルク移動度をそのまま活用でき、MOSFET において懸念される酸化膜信頼性に関する問題も回避できるという特長を有する。

我々は、高速なスイッチングが期待できるデバイスとして、REduced SURface Field Junction Field Effect Transistor (RESURF JFET: 表面電界緩和接合型電界効果トランジスタ) の開発を進めてきた<sup>(1)~(4)</sup>。このデバイスは、界面準位密度の影響を受けず、SiC 材料固有の移動度をそのままチャネル移動度に活用できる JFET であり、構造上の工夫により、低損失と高耐圧を両立できるという特長を有するものである。

本報告では、SiC RESURF JFET の高速スイッチング性を生かした、Envelope Elimination and Restoration (EER) 用高周波電源回路として用いる同相合成増幅器について報告する。

## 2. SiC RESURF-JFET

図1に本電源に用いるSiC RESURF JFETを示す。4H-SiC基板上に2mm角のチップで作成した。1チップには縦0.48mm、横1.9mmの長方形の4個のJFETが含まれている。各JFETにはチャンネル長150 $\mu\text{m}$ のセルが100個含まれる。1チップあたりのチャンネル長の合計は60mmになる。

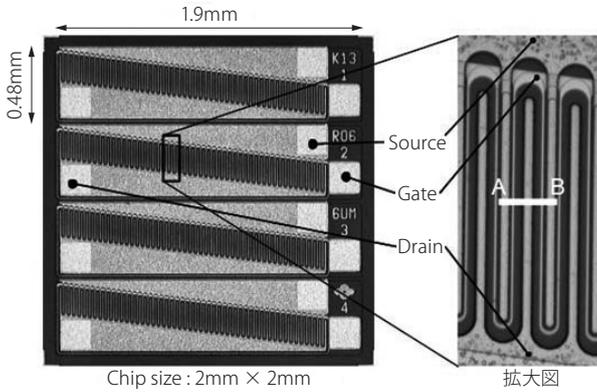


図1 SiC RESURF JFET

図2に図1のA-B線での断面構造模式図を示す。表面に、ソース電極、ドレイン電極、ゲート電極が形成されており、ソース、ドレイン両電極間を流れる電流を、ゲート電極の電位で制御する構造となっている。

RESURF JFETでは、RESURF構造のなかでも、電流通路となるn型の第3層をP型の第2層と第4層とで挟み込んだダブルRESURF構造を採用している。オン/オフ制御は、ゲートの電位に応じて、第3層のn型チャンネル層の空乏層の厚みを制御して行なわれる。この空乏層はゲート電位が0の場合でも若干広がってはいるが、通常、空乏層を十分に広げ、オフとするためにはゲート電位をソースに対して負にする必要がある。つまりこのデバイスはノーマリオンデバイスとなる。

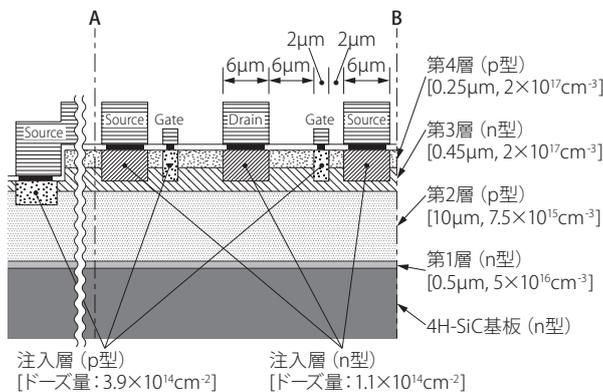


図2 RESURF JFET 断面図

図3にRESURF JFETのドレイン電流 ( $I_d$ ) - ドレイン電圧 ( $V_{ds}$ ) のゲート電圧 ( $V_{gs}$ ) 依存性を示す。ゲート電圧が2Vの時のオン抵抗は250m $\Omega$ となった。また、図4にゲート電圧を-8Vとしてドレイン-ソース間をオフした場合の、ドレイン-ソース間耐電圧特性を示す。200Vまでの良好な遮断特性が示されている。

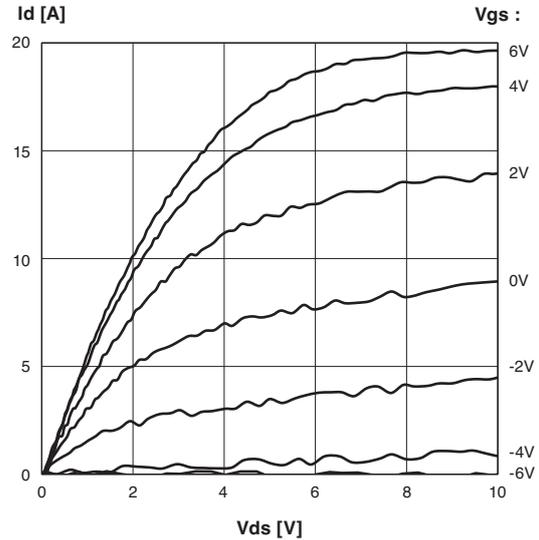


図3 オン時特性

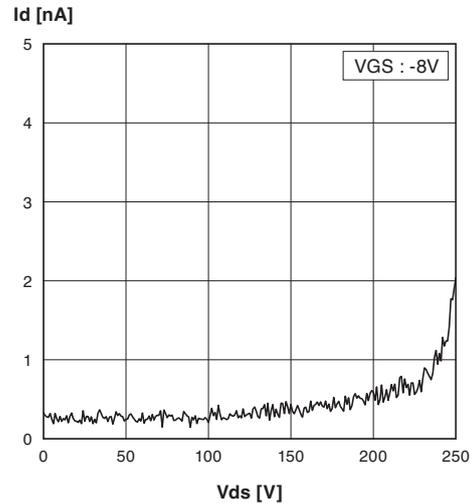


図4 オフ時特性

次に図5のスイッチング特性評価系で、RESURF JFETの動特性を評価した結果を図6に示す。ターンオフ時間 ( $T_r$ ) およびターンオン時間 ( $T_f$ ) のいずれの場合も、2ns程度の急峻なスイッチング特性が示されている。

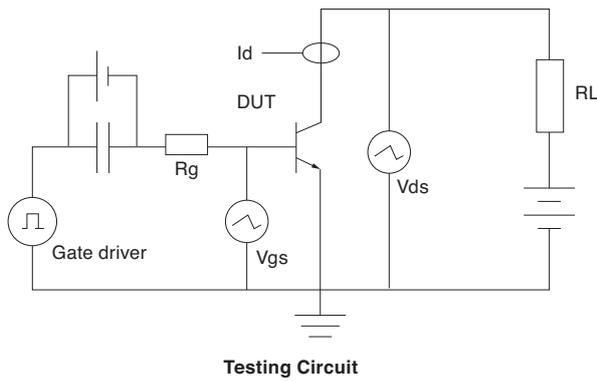


図5 スイッチング特性評価回路

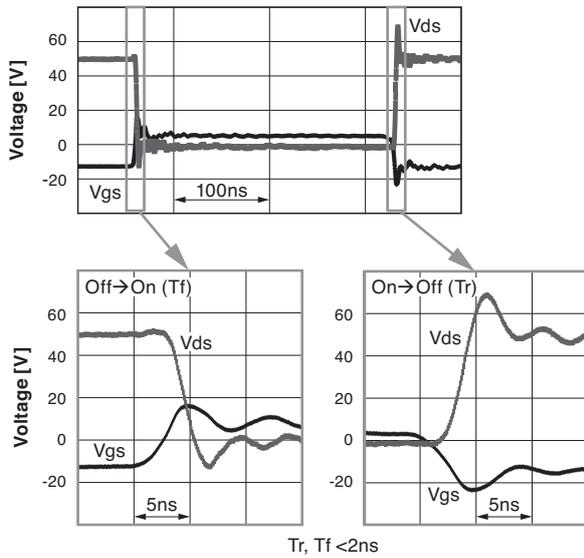


図6 スイッチング特性

### 3. 電源回路の原理

#### 3-1 Envelope Elimination and Restoration (EER)

EERとは、高周波線形増幅器を使用することなく、スイッチングのみで電力増幅を行う高効率な回路であり、携帯電話基地局に適用が期待されている。その概念図を図7に示

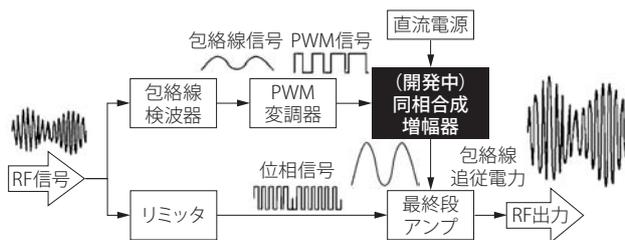


図7 EER動作原理図

す。入力されたRF信号を、振幅成分すなわち包絡線信号と、位相信号とに分解し、包絡線信号を増幅した後、それらの信号を合成している。包絡線信号増幅は線型性を保つためにパルス幅変調 (Pulse Width Modulation = PWM) されることが多い。

そのスイッチング素子には高速性と高耐電圧性が必要であり、SiC RESURF JFETの適用に有望である。

**3-2 PWM復号用同相合成増幅回路** EERの信号合成時のPWM信号の復調には図8に示す分布型増幅器にローパスフィルタを用いる手法があるが、出力伝送線路終端抵抗で大きな損失が発生する問題があった。筆者らは図9に示す同相合成増幅器を考案し、終端抵抗およびローパスフィルタなしでもPWM信号を復調できることを確認した。同相合成増幅器の原理は、図10に示すように入力側は分布型増幅器と同様、各素子に位相差信号を入力するが、隣接する素子への入力信号の位相差をPWM搬送波周期の1/n (nはスイッチング素子数) とする一方、位相差を与えず同相で出力信号を合成することによりPWM搬送波およびn-1次高調波まで除去するものである。

スイッチング素子の個数による出力の周波数成分の計算値を図10に示す。図にはnが4個、6個、8個、16個の場合について図示しており、n-1次高調波までの除去特性が示されている。

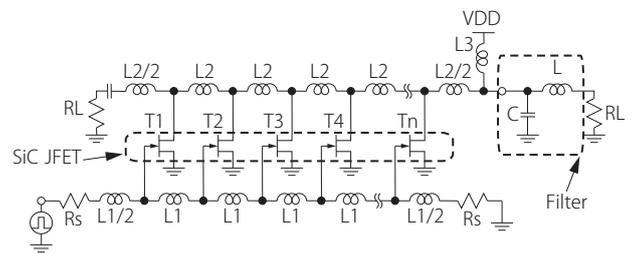


図8 分布増幅回路

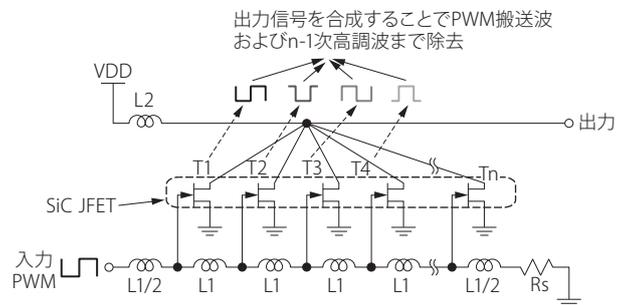


図9 同相合成増幅回路

スイッチング素子数nと周波数特性 (20.5MHz除去時) シミュレーション結果

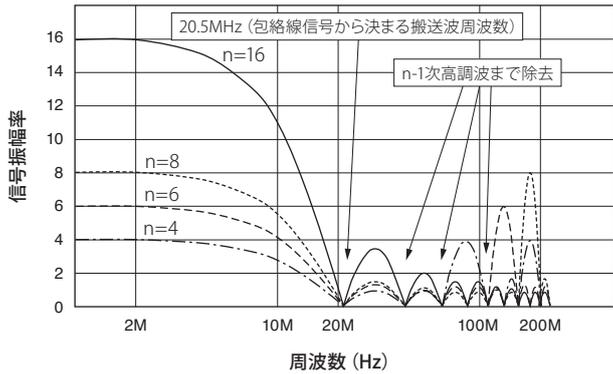


図10 同相合成回路周波数特性

#### 4. 動作結果

EER用同相合成増幅器の原理試作品を図11に示す。同時合成が出来るようにスイッチング素子であるSiC RESURF JFETを円周上に8素子配置し、円周の中心で各JFETのドレインからの距離が等しくなるように、接続した。これは、各JFETの信号が同時に合成されるようにするためである。

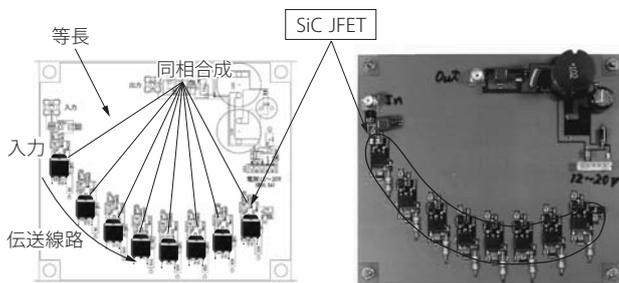


図11 試作同相合成増幅回路

その出力結果を図12に示す。図12(a)にはこの増幅器の周波数特性を、図12(b)には20.5MHzの矩形波搬送波信号を4.1MHzの正弦波信号で変調したPWM信号を入力した場合の出力を示している。周波数特性で谷となっている20.5MHz信号が除去されて、変調前の正弦波が復調されて出力されていることが示されている。

#### 5. 結 言

SiC RESURF JFETの特徴である、高速スイッチング特性を生かした、画期的な同相合成増幅回路を開発した。さらに実回路にてその動作を確認し、携帯電話基地局への適用可能性を確認した。

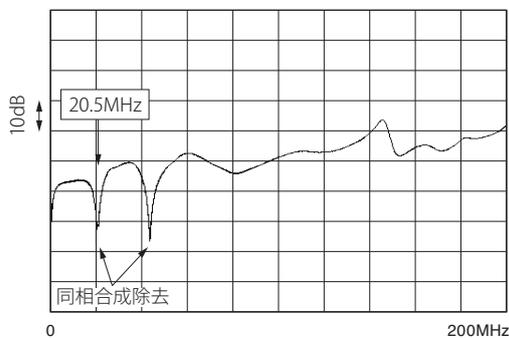
今後は、実際に電力増幅できる回路を作成し、種々の検証を進める予定である。

#### 6. 謝 辞

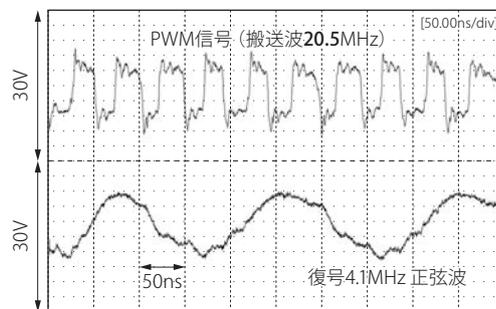
本稿で述べた開発の一部は、NEDO(独立行政法人新エネルギー・産業技術総合開発機構)のイノベーション推進事業「高速スイッチングSiCパワートランジスタの開発」において実施したものである。

#### 参 考 文 献

- (1) 荒井、吉田 編、「SiC素子の基礎と応用」、オーム社 (2003)
- (2) 藤川、増田、玉祖、柴田、原田、初川、徳田、三枝、並川、SEIテクニカルレビュー第167号、pp.109-114 (2005)
- (3) 玉祖、澤田、藤川、原田、新開、徳田、増田、穂永、伊藤、築野、並川、SEIテクニカルレビュー第172号、pp.40-46 (2008)
- (4) 築野、伊藤、玉祖、藤川、澤田、初川、塩見、SEIテクニカルレビュー第178号、pp.89-93 (2011)



(a) 周波数特性



(b) 復号特性

図12 試作同相合成増幅回路動作結果

執筆 者

---

初川 聡\* : パワーデバイス開発部 主席



築野 孝 : パワーデバイス開発部 グループ長  
(博士 (理学))



藤川 一洋 : パワーデバイス開発部 主席  
(博士 (エネルギー科学))



志賀 信夫 : パワーシステム研究所 技師長



ウリントヤ : 豊橋技術科学大学 (博士 (工学))



和田 和千 : 豊橋技術科学大学 (博士 (工学))



大平 孝 : 豊橋技術科学大学  
電気・電子情報工学系 教授  
(工学博士)



---

\*主執筆者