

# シミュレーション活用による 超 Gbps 伝送基板の設計

木下 哲魯\*・澤田 雅彦・岡山 昭稔  
神谷 房伸・立花 宏之・角江 彰英  
植松 吉晃・飯村 政文

Simulation-Based Design of Multi Gbps High-Speed Transmission Boards — by Tetsuro Kinoshita, Masahiko Sawada, Akinori Okayama, Fusanobu Kamitani, Hiroyuki Tachibana, Akihide Kakue, Yoshiaki Uematsu and Masafumi Iimura —  
In recent years, as the processing speed of electric equipment is increasing, routing over Gbps high-speed traces on printed circuit boards (PCB) is gaining the importance. To design such over-Gbps signal transmission lines, consideration needs to be given to not only conventional signal integrity techniques; e.g. impedance matching and wave form improvement, but also to radio-frequency effects; e.g. dielectric losses, parasitic parameters of via holes, and noises on power lines. In these cases, simulation technologies are absolutely imperative.

SimDesign Techno-Center (SDTC), a business unit of Sumitomo Electric System Solutions, Co., Ltd., provides PCB development service called “Simulation-based design” by using simulation technologies.

Aiming at improvement in the design quality of products, the authors have been succeeded in solving problems in signal transmission lines and reducing power plane noises by applying appropriate simulation methods in the early phase of design process.

In this paper, the authors describe the latest simulation technologies on PCB, including over-Gbps transmission signals, along with some examples of product designs.

Keywords: simulation, gigabit transmission, signal integrity, EMC, power integrity

## 1. 緒 言

近年、ますます電子機器の高速化が進み、プリント基板においても、超 Gbps の伝送速度を持つ信号を配線設計する必要がある。超 Gbps の信号の配線設計では、従来のインピーダンス整合、反射による信号歪みを抑制した配線方法に加えて、配線損失やビア (via hole) の影響、電源ノイズの抑制を考慮することが必要となっており、シミュレーションの活用が不可欠になっている。

シムデザイン・テクノセンターは、'90年代初期から住友電気工業(株)システムエレクトロニクス部門で、EWS 開発を契機にシミュレーションによる高速信号のプリント基板設計 (シミュレーションベース設計) を行っており、近年の Gbps 伝送のプリント基板設計においても、設計の上流段階で高速伝送の課題や電源ノイズなどを回避するため、様々なシミュレーションを活用し、製品の設計品質向上に取り組んでいる<sup>(1)</sup>。

本稿では、超 Gbps 伝送基板の設計における最新シミュレーション技術と製品の設計事例を報告する。

## 2. シムデザイン・テクノセンターの設計の特徴

シムデザイン・テクノセンターでは、電子機器のプリント基板配線設計 (以下、基板設計) と機構設計を行う製造

設計に回路設計、ASIC/FPGA 設計を含めた一貫設計を行っている。また、シミュレーションと各設計をコンカレントに組み合わせて行うという特徴がある (図1)。

当グループでは、このシミュレーションと各設計を一体化したシミュレーションベース設計フローにより、高品

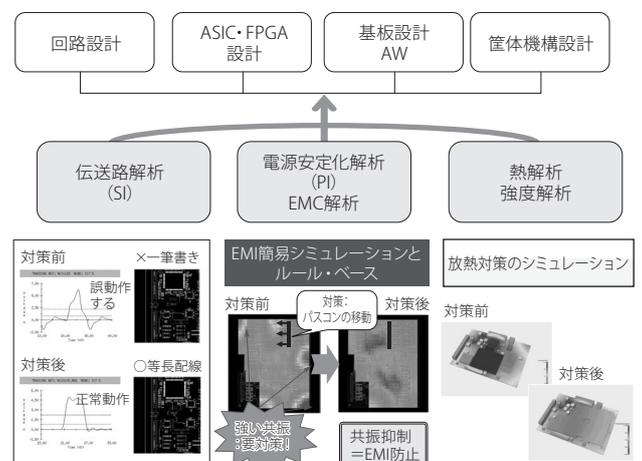


図1 シミュレーションベース設計

質な設計を提供し、試作回数の削減や製品の品質向上に寄与している。

### 3. 基板設計に対応したシミュレーション技術

当グループの基板設計では、波形解析シミュレーションを用いた伝送路解析と EMC<sup>\*1</sup> 対策設計を同時に行っている。設計フローは、**図2**のようになっており、回路設計後、基板設計を開始する前にプリ解析と回路上で EMC 対策設計を行い、回路図や部品配置から配線ルールや回路定数の設定を行う。そして、基板設計完了後に CAD データを用いたポスト解析や電源プレーン共振解析と検図を行い、指示通りの設計ができていないか、他に設計上の問題はないか確認を行う。

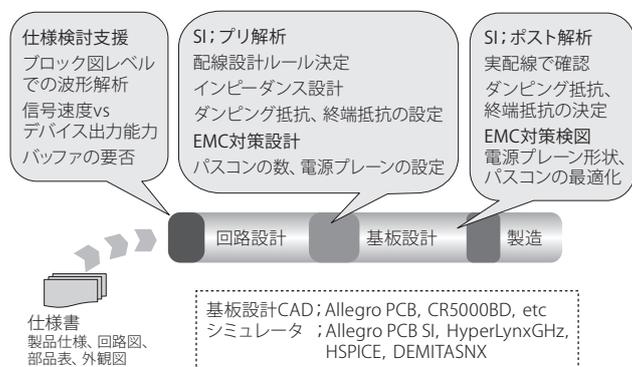


図2 シミュレーションベース設計フロー

伝送路解析では、基板設計以外にも回路仕様検討時に波形解析シミュレーションを用いた設計支援を行うことができる。EMC 対策設計では、EMC 検証ツールの活用と当グループでこれまで培ってきたノウハウを基板設計に盛り込むことで、従来のように実機完成後のシステム評価時に初めて EMC の問題が判明し、実機で対策、設計変更するという大きな後戻りの発生が軽減できる。

### 4. シミュレーション適用事例

**4-1 10Gbps 伝送基板の設計** ここから、実際のシミュレーションの活用について、情報通信研究所で開発<sup>(2)</sup>、当グループが設計を担当した 10Gbps 伝送基板 (**写真1**) を事例に報告する。

- 本基板の主な構成は、**図3**に示すように超 Gbps 信号が
- ① 3.125Gbps の差動信号が送受信で 8 ペア
  - ② 10Gbps の差動信号が送受信で 2 ペア
- あり、これにより 2 系統の 10Gbps 伝送信号が構成されている。超 Gbps 信号で用いる差動信号は、2 本の配線で 1 ペア



写真1 10Gbps 伝送装置外観

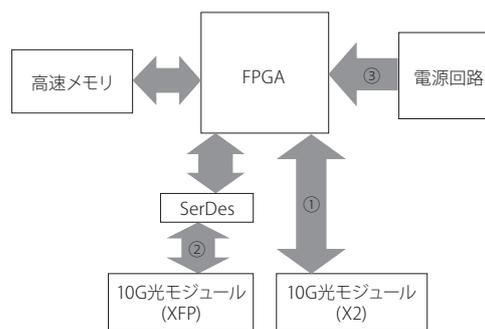


図3 10Gbps 伝送基板ブロック図

アとなっており、8 ペアでは 16 本の配線、2 ペアでは 4 本の配線となる。

また、FPGA 用に 1.0V (±50mV)、15A が必要な電源回路があり、

#### ③低電圧かつ大電流の電源プレーン設計

といった難易度の高い設計が必要になっている。

これらの課題に対し、伝送路解析では、数 Gbps の信号速度に対応するため、従来の波形シミュレータで用いられてきた IBIS モデルより精度の高いモデルが使用できる HSPICE を用いた。また、電源ノイズの低減については、これまで EMC 対策設計者によるノウハウによる対策のみを行っていたが、電源プレーンノイズの解析ツールも合わせて用いることにより、対策漏れがなく、精度の高い EMC 対策設計を行えるようにした。

#### (1) 超 Gbps 信号の基板設計

超 Gbps 信号の基板設計では、高速かつ低電圧信号であることによる①入力信号パターンによるシンボル間干渉の問題や②ノイズマージンの減少や配線の伝送損失の問題がある。

シンボル間干渉の問題については、HSPICE の波形シミュレーションを用いて解決した。超 Gbps 信号では、一般的に入力信号を時間的に重ね合わせた EYE パターンを用いた開口幅で品質評価を行うが、0 (Low)、1 (High) の信号パターンにより、開口幅が小さくなることもある。例えば、010110 と変化が続いている場合は、信号電圧の中心は、ほぼ中間電位に保たれるが、00000 と続くとき信号電

圧が低くなり、次の1への変化時に電圧が上がりきらないといった問題があり、これをシンボル間干渉の問題と呼んでいる。この問題への対策としては、部品内部に問題となる信号変化時のみ出力を増幅するプリエンファシス機能が用意されていることが多いが、増幅量が大きすぎてもオーバーシュート、リングングなど波形品質を低下させることになるため、シミュレーションにより最適値を求めた(図4)。

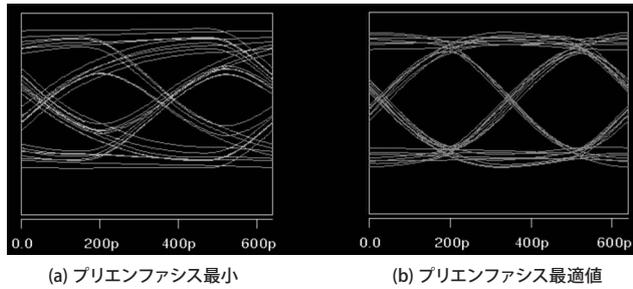


図4 プリエンファシス設定 HSPICEシミュレーション結果

ノイズマージンの減少に対しては、配線インピーダンス整合と配線層間を接続するビアへの対策を行った。ビアについては、信号用のビアをGND層間をつなぐGNDビアで挟んだ構造(GSSG構造)にして、インピーダンス不整合を少なくし、リターンパスを確保することでノイズの軽減を図った。また、配線の伝送損失については、HSPICEを用いてSパラメータ<sup>※2</sup>の伝送特性(S21)評価を行った。図5に示すように配線幅(W)を広くすることで、伝送損失が改善されるため、10Gbpsの配線では、配線インピーダンスを規格の差動100Ωに保ちつつ、配線幅を表層0.20mm、内層0.14mmと広くできるような層構成を考えた。

これらの対策と当グループのノウハウから、次のような配線方針を決定した。

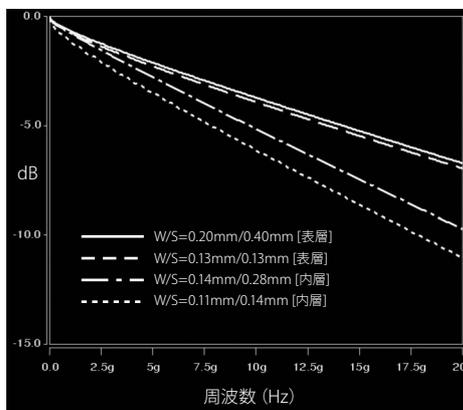


図5 伝送損失(S21)解析結果

- ・2本のペア配線の配線長を揃える。
- ・3.125Gbps信号は、送信(TX)、受信(RX)毎に配線層を揃える。
- ・各配線層での配線長も揃える。
- ・3.125Gbps信号のビアの数は、2個以下にする。
- ・ビアは、GSSG構造にする。
- ・10Gbps信号は、伝送損失の少ない表層のみで最短配線できるように部品配置を最適化する。

この配線方針をもとに基板設計を行い、ポスト解析により配線が方針通りできているか確認を行った。ポスト解析結果を図6に示す。

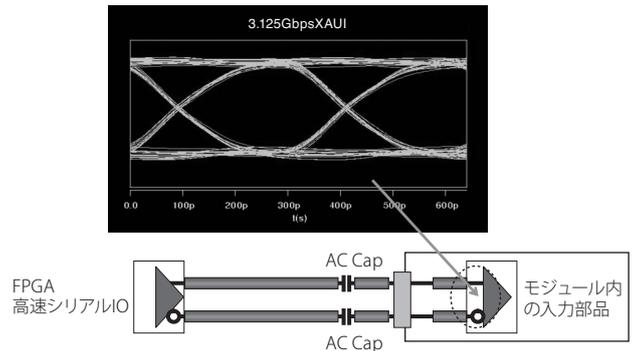


図6 3.125Gbps信号ポスト解析結果

HSPICEシミュレーションでは、基板配線の断面形状をそのままモデル化し、伝送損失を正確にシミュレーションに反映させた。また、コンデンサは、部品メーカーのHSPICEモデルを使用し、高速伝送では影響が無視できないコネクタについても、情報通信研究所の協力を得て、コネクタメーカーからHSPICEモデルを入手し、精度の高いシミュレーションを行うことができた。図6は、FPGAから光モジュール方向へ送信した3.125Gbps信号のシミュレーション結果で、観測点は入力部品内部のバッファ部である。信号品質については、このように問題のない波形が得られていることが確認できた。この3.125Gbps信号については、実機完成後に実測を行っており、同じ測定ポイントのシミュレーション結果と併せて図7に示す。

実測では、できるだけ入力端に近いポイントで測定することが理想であるが、オシロスコープのプロブを当てることのできるのが伝送経路途中のコンデンサのパッドしかなかったため、図7(b)の実測波形には、反射の影響による波形歪みが見られる。ただし、図7(a)の同じポイントでのシミュレーション結果も同じように歪んでおり、精度の高いシミュレーションができていることが解る。

次に10Gbps信号のポスト解析結果を図8に示す。

図8の(a)は、入力部品のピンでの波形、(b)が入力

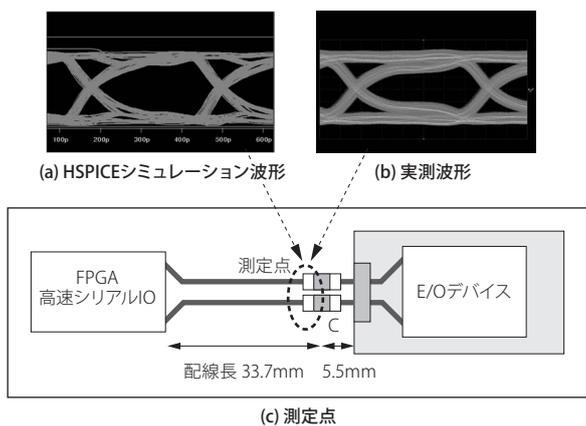


図7 3.125Gbps信号実測結果との比較

部品の内部バッファの入力波形を示している。基板配線が約10mmと十分短く、ビアを通さず表層のみで配線できたことから、図8(b)のように歪みのないきれいな波形が得られている。ただし、図8(a)の部品ピンでの波形には、波形歪みが見られており、10Gbps程度の高速信号になると部品のピンから部品内部バッファまでの配線による反射の影響が顕著になることが解る。数Gbps以上の信号になると、測定用パッドの負荷や配線の分岐がかえって波形に悪影響を与える可能性があるため、基板上に測定ポイントを作ることが難しくなる。また、3.125Gbps信号の実測結果(図7)や10Gbps信号のシミュレーション結果(図8)のように配線途中や部品ピンでの観測では、本当にデバイス内部に入力されている信号を見ることができない。そのため、基板上や部品外部の実測波形とシミュレーションで得られる波形の比較から、デバイス内部の入力波形を推測し、基板評価を行うためにも、精度の高いシミュレーションをしておくことが重要と言える。

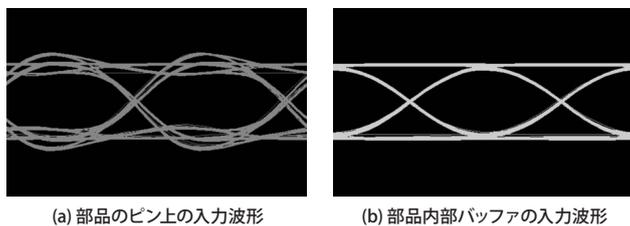


図8 10Gbps信号シミュレーション結果

## (2) EMC 対策設計

EMC 対策設計では、超 Gbps 信号や高速メモリバスの基板設計に対して、EMC 設計ルールを適用すると同時に、電源の安定化設計を行った。

まず、1.0V ( $\pm 50\text{mV}$ )、15Aの低電圧かつ大電流の電源プレーン設計については、IR ドロップによる電圧降下を避けるため FPGA の近くへ電源回路を配置し、十分幅広な電源プレーンを設けることにした。また、部品の電源ピンへバイパスコンデンサを効果的に設置することで、FPGA のインピーダンスを下げるような設計方針を立てた。これらの対策は、現在は EMC 対策設計者のノウハウに頼っているが、今後は、パワーインテグリティ (PI) シミュレータを導入し、より効果的で精度の高い対策を行っていく予定である。

次に高速回路から電源プレーンに流入する高速ノイズの放射を抑制するため、DEMITASNX による電源プレーン共振解析を行い、ノイズの抑制対策を実施した。図9、図10に一例を示す。

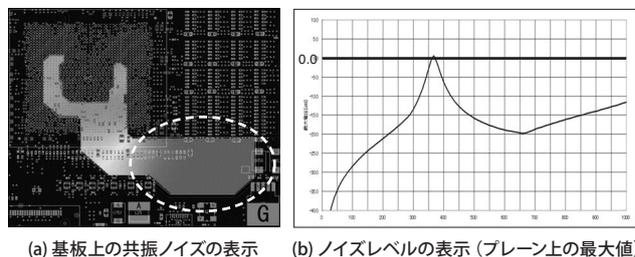


図9 電源プレーン共振シミュレーション結果 (対策前)

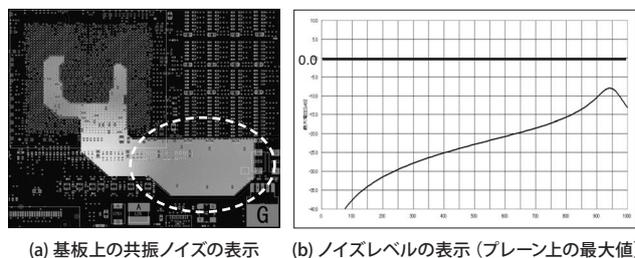


図10 電源プレーン共振シミュレーション結果 (対策後)

この図は、FPGA 用の 2.5V 電源プレーンの共振シミュレーションの結果で、図の左側 (a) では共振ノイズレベルが大きいほど色が濃く表示される。右側 (b) では共振ノイズレベルをスペクトルで示している。一通り配線が終わった後、プレーン共振解析を行った結果を図9に示す。図の (a) の点線で囲んだ部分の共振ノイズが大きく、対策が必要であると解る。そこで、バイパスコンデンサを3個、問題となるプレーン上に追加し、図10のようにノイズレベルを下げる事ができた。このように、これまでノウハウから問題となりそうな電源プレーンに対し、バイ

パスコンデンサの配置を行ってきたが、ツールを使うことで効果が見える化でき、少ない部品数で効果的なEMC対策を行えるようになった。

### (3) 10Gbps 伝送基板の基板設計のまとめ

超 Gbps 信号や多種の電源プレーン設計といった難易度の高い基板設計において、種々の課題に対し適切なツールを用い、課題解決を行うことで一回の試作で全ての機能を動作させることができた。また、設計期間は3.5ヶ月、実機製作後の評価に2ヶ月弱と、この規模の新規開発基板としては短い開発時間で完成させることができた。この事例で紹介した 10Gbps 伝送基板の結果として、情報通信研究所で実測された 10Gbps 信号の光伝送波形を図 11 に示す。

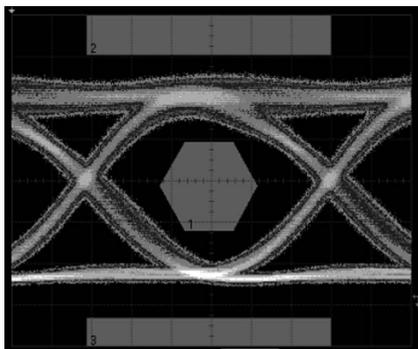


図 11 10Gbps 光伝送信号波形

このように 10Gbps 信号の光変換後の信号波形は、EYE パターンの開口幅も大きく、きれいな波形が得られている。

今後、通信速度のさらなる高速化により、基板設計上のノイズやタイミング、そして伝送損失の問題が顕著になっていくと予想される。これらに向け、PIシミュレーションの導入をはじめ、新技術の開発を積極的に進めて、製品設計への適用を目指していく。

**4-2 ギガビット LDPC 評価基板** 次に最新の設計事例として、10Gbps 伝送基板と同様に情報通信研究所で開発され、当グループが設計を担当したギガビット LDPC 評価基板（写真 2）の基板設計について報告する。

ギガビット LDPC は、通信分野における誤り訂正符号のことで、最も効率的であると言われているが、伝送速度として 1Gbps あたりが実現する上で限界と考えられていた。しかし、今後、さらなる通信速度の高速化に対応するべく、情報通信研究所では、「ギガビット LDPC 符号」に取り組み開発に成功した<sup>(3),(4)</sup>。

ギガビット LDPC 評価基板は、その評価用に設計を行った基板で、8.5Gbps 送受信 16 ペアの差動信号を設計する必要がある。評価基板の主な構成は図 12 のようになっており、①の大規模 FPGA とコネクタ 3 間の配線が 8.5Gbps × 16 ペアとなっている。

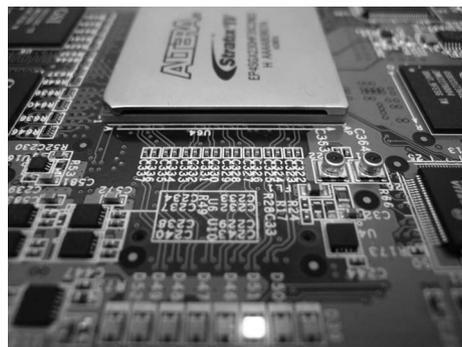


写真 2 ギガビット LDPC 基板 8.5Gbps 信号配線部

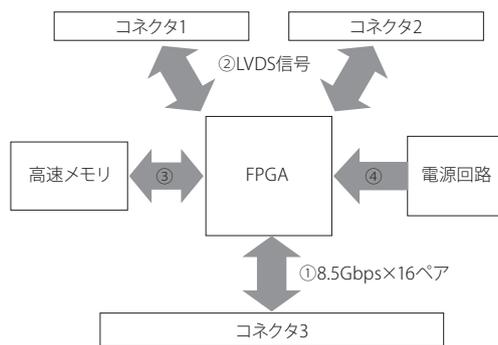


図 12 Gbps ビット LDPC 評価基板ブロック図

基板設計においては、10Gbps 伝送基板の設計時と同じように HSPICE を用いた伝送路解析と EMC 対策設計、電源安定化設計による設計支援、配線方針による指示を行った。本基板には、8.5Gbps の伝送速度を持つ差動配線が 16 ペア（配線として 32 本）あるため、配線長が数十 mm になることやビアを使わずに配線することができないことが予想され、さらに難易度の高い基板設計となった。このため、10Gbps 伝送基板の設計後に導入した新規波形シミュレータの機能を使用して、さらに精度の高いビアモデルを作成し対応した（図 13）。

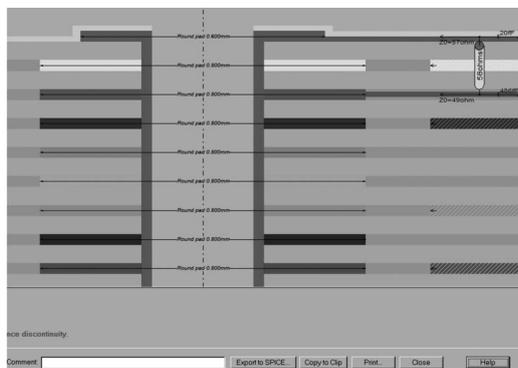


図 13 ビアモデル作成画面 (LineSim GHz)

この基板においても、各課題に対し、当グループでこれまで培ってきた超 Gbps 信号の基板設計ノウハウとシミュレーションツールを組み合わせることにより、一回の試作で全ての機能を動作させることができた。

次に、本基板上的の波形について、情報通信研究所と共同で、8.5Gbps 信号を測定した結果をシミュレーション結果と併せて図 14 に示す。

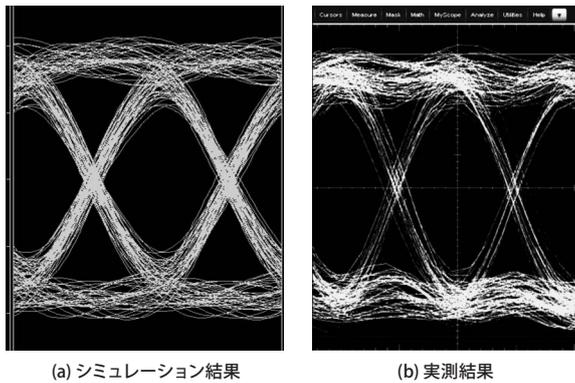


図 14 8.5Gbps 信号波形比較

実測は、FPGA から送信した信号をコネクタで折り返し、受信側の入力端で測定した。配線長は、FPGA からコネクタまで約 30mm で、実測波形は折り返し分含めて約 50mm の配線とコネクタを通った波形となっている。実測波形は、図 14 (b) のように若干ジッタが出ており波形の幅が太くなっているが、EYE の開口幅も広く、十分品質の高い波形が得られている。同じポイントでみたシミュレーション波形を図 14 (a) に示す。このように 8.5Gbps でも実測と同じようなシミュレーション結果が得られており、HSPICE による波形シミュレーションの精度が十分にあることが確認できた。

**4-3 3次元電磁界解析の適用事例** もう一つの超 Gbps 信号基板設計へ対応したシミュレーション技術として、HFSS を用いた 3次元電磁界解析について報告する。

これまでに報告した超 Gbps 信号の伝送速度より、さらに高速になるとビアや部品と基板の接続部分にも精度の高いシミュレーションモデルが必要になってくる。これらは立体的な構造となっているため、モデルの作成には 3次元電磁界解析ツールの使用が有効である。ここでは、BNC コネクタと基板の接続部分のリターンロス特性を代表的な 3次元電磁界解析ツールである HFSS を解析技術研究センターから借用して解析を行った。

この事例で報告する基板は、システム事業部が開発されている最新製品を構成する基板で、BNC コネクタを基板に接続するスルーホール部分のクリアランス径が標準設計の

値より大きくなるように指示されていた。

具体的な数値については、ノウハウの流出防止のため、本稿では伏せる。

そこで、この指示された値で設計を行った場合、BNC コネクタ部分のリターンロスが規格通りになっているか確認を行った。図 15 に BNC コネクタと基板のモデルおよび実際の設計値と標準設計値のリターンロス特性を示す。図 15 (c) の斜線が規格で、これよりも低い値にする必要がある。図を見ると解るように設計値では、リターンロスが規格を満足しており、標準設計値で設計した場合は、高周波数領域で規格値を超えてしまうことが解る。

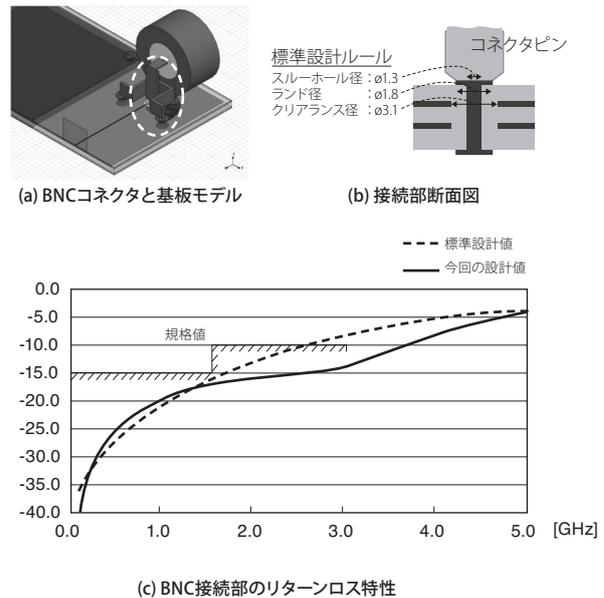


図 15 標準の寸法で設計したリターンロス特性

この標準設計値でリターンロスが大きくなる原因を探るため、HFSS の機能を使い、TDR 解析、磁界分布解析を行った結果、スルーホール部の GND との結合容量成分とコネクタピン部のインダクタンス成分によるインピーダンス不整合が主要因であることが解った。そこで、設計値のようにスルーホールのクリアランス径を大きくし、スルーホール部の結合容量成分を小さくすることに加え、さらにリターンロス特性を改善させるため、次のような対策を考えた。

- ①表層-内層間の距離を離すことで、半田ランド部の結合容量成分を小さくする。
- ②コネクタピンよりスルーホールの半田ランドを大きくして、インダクタンス成分を小さくする。

これらの対策を行った場合のリターンロス特性の解析結果を図 16 に示す。図中 (b) のグラフを見ると上記対策により、リターンロスはさらに改善されることが解った。

今回、3次元モデルによる電磁界解析を行い、リターン

ロスを改善を検討したことにより、今後さらに高速化、高品質化が求められた場合にも HFSS でシミュレーションを行うことで、定量的に対策ができる目処が立った。

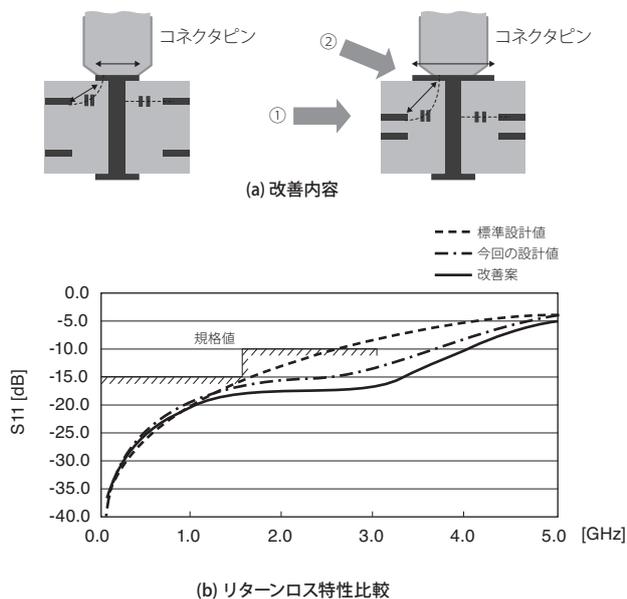


図16 リターンロス特性の改善

## 5. 結 言

情報通信研究所およびシステム事業部で開発された製品の基板設計を事例に超 Gbps 信号の基板設計における各種問題とその対策のため行っている当グループのシミュレーション技術の内容と有効性について報告した。

今後、さらに高速化が進む情報通信事業本部における通信分野、画像伝送分野において、短い開発期間で新製品を完成させるためには、高速化、低電圧化により新たに顕著化する課題に対し、前もって備えておく必要がある。

現在でも問題になりつつあるパワーインテグリティの問題に対応するための PI シミュレータ導入をはじめ、3次元電磁界解析を用いた高精度のモデル作成など、さらにシミュレーション技術を磨き、各プロジェクトの開発部隊との融合を図ることで新製品開発へ貢献して行きたい。

- \* HSPICE は、米国 Synopsys, Inc. の米国及びその他の国における商標または登録商標です。
- \* DEMITASNX は、株式会社 NEC 情報システムズの登録商標です。
- \* HFSS は、米国 Ansoft, LLC の米国及びその他の国における商標です。
- \* Allegro は、米国 Cadence Design Systems, Inc. の米国及びその他の国における商標または登録商標です。
- \* HyperLynx は、米国 MENTOR GRAPHICS CORPORATION の米国及びその他の国における商標または登録商標です。
- \* その他、本文および図表中に記載の製品名は、各社の登録商標または商標です。

## 用語集

### ※1 EMC

Electro Magnetic Compatibility (電磁両立性)：電子機器から発する電磁妨害波が他の機器やシステムに対して影響を与えず、また他の機器やシステムからの電磁妨害波に対して、影響を受けない耐性を持つこと。

### ※2 Sパラメータ

Scattering Parameter (散乱パラメータ)：高周波電子回路や高周波電子部品の特性を表すために使用される回路網パラメータのひとつで、マトリクス (S行列) で表される。回路網の通過特性 (S21)、反射特性 (S11) を表現する。

## 参 考 文 献

- (1) 澤田、兼子他、「GHz帯対応を含むシミュレーションベース設計とビジネス展開」、SEIテクニカルレビュー第168号 (2006年3月)
- (2) 大道、井上他、「非対称10G-EPONシステムの開発」、SEIテクニカルレビュー第175号 (2009年7月)
- (3) 日本アルテラ株式会社 ニュース・ルーム「アルテラの40nm FPGA「Stratix IV GX」、住友電気工業のLDPCシステムに採用」(2009年7月14日) URL: [http://www.altera.co.jp/corporate/news\\_room/releases/2009/products/nr-sivgx\\_sumitomo.html?f=hp&k=wn1](http://www.altera.co.jp/corporate/news_room/releases/2009/products/nr-sivgx_sumitomo.html?f=hp&k=wn1)
- (4) 「高速信号誤り訂正システム「ギガビットLDPC」」、SEI WORLD 2009年09月号 (vol.384) URL: <http://www.sei.co.jp/newsletter/2009/09/6a.html>

## 執 筆 者

木下 哲魯\*：住友電気システムソリューション(株) シムデザイン・テクノセンター 機器デザイン開発部 主席 シミュレーションによる製造設計支援業務に従事



澤田 雅彦：住友電気システムソリューション(株) シムデザイン・テクノセンター 事業部長

岡山 昭稔：住友電気システムソリューション(株) シムデザイン・テクノセンター 主幹

神谷 房伸：住友電気システムソリューション(株) シムデザイン・テクノセンター システムデザイン開発部 主幹

立花 宏之：住友電気システムソリューション(株) シムデザイン・テクノセンター システムデザイン開発部 主席

角江 彰英：住友電気システムソリューション(株) シムデザイン・テクノセンター 機器デザイン開発部 課長

植松 吉晃：住友電気システムソリューション(株) シムデザイン・テクノセンター 機器デザイン開発部 主査

飯村 政文：住友電気システムソリューション(株) シムデザイン・テクノセンター システムデザイン開発部

\*主執筆者