

SiC 高速トランジスタの開発

玉 祖 秀 人*・澤 田 研 一・藤 川 一 洋
 原 田 真・新 開 次 郎・徳 田 一 基
 増 田 健 良・穂 永 美 紗 子・伊 藤 里 美
 築 野 孝・並 川 靖 生

Development of Fast-Switching SiC Transistor — by Hideto Tamaso, Kenichi Sawada, Kazuhiro Fujikawa, Shin Harada, Jiro Shinkai, Hitoki Tokuda, Takeyoshi Masuda, Misako Honaga, Satomi Itou, Takashi Tsuno and Yasuo Namikawa — Recently, with the growing global interest on energy saving, power device efficiency is becoming increasingly important. Almost all power devices are fabricated utilizing silicon (Si) and their performances have approached to the limit that can be obtained from Si. Silicon carbide (SiC) is one of the candidate materials for innovative power devices that can replace Si devices. The authors have developed a reduced surface field (RESURF) type junction field effect transistor (JFET) as the new power switching device with low-on-resistance and fast-switching characteristics that takes full advantage of SiC. This paper provides an overview of the design, fabricating process and electrical properties of this RESURF-JFET and also the characteristics enhanced by microfabrication. The fabricated 400 V /2.5 A RESURF-JFET shows a low specific on-resistance of 5.2 mWcm² and a fast switching speed of less than 10 ns. These characteristics are superior to those of Si MOSFETs of the similar current and blocking voltage. These results show that the application of the SiC RESURF-JFET to power electronics will provide significant benefits in improving efficiency, dynamic performance and compactness.

1. 緒 言

1-1 SiCの特長とデバイス開発の背景 現在、地球温暖化防止の観点から世界的に省エネルギーの重要性が認識されてきており、そのためにもパワーデバイスの低損失化、高効率化は極めて重要である。現在のパワーデバイスはほぼ全て半導体Siを用いており、デバイス構造の工夫と微細化により、高性能化が達成されてきた。しかし、Siパワーデバイスの性能はSiの物性限界に近づきつつあり、これ以上の飛躍的な高性能化は期待できない。さらなる高性能化のためには、Siの物性限界を超える半導体によるパワーデバイスの実現が不可欠となる。そこで、注目されている材料の1つが、シリコンカーバイド(SiC)である^{(1),(2)}。

SiCは同一組成で様々な結晶構造をとり、それぞれ特性が異なる。その中でも4H-SiCは、パワーデバイス用途として最も有力視されている材料である。4H-SiCはSiの約3倍の禁制帯幅を持ち、絶縁破壊電界は約10倍である。同耐圧のSiパワーデバイスと比較して、ドリフト領域の距離を約1/10、不純物濃度を約100倍にすることができ、2桁～3桁抵抗を下げるができる。さらに4H-SiCの飽和ドリフト速度がSiの約2倍であり、上述したようにドリフト領域の距離を短縮できることと相まって、高速スイッチングパワーデバイスの実現が可能となる。また、4H-SiCの熱伝導率がSiの約3倍であり、放熱性が高められることから、高温環境で安定して動作可能なパワーデバイスの実現が可能となる。

このように、SiCパワーデバイスにより、現在のSiパワーデバイスと比較して低損失、高速スイッチング、高温環境での安定動作が実現可能となることが期待される。

当社では、スイッチング電源や車載用のパワーエレクトロニクス機器への搭載を目指し、SiCを用いた表面電界緩和(RESURF (REduced SURface Field))型接合型電界効果トランジスタ(JFET)や金属/酸化膜/半導体電界効果トランジスタ(MOSFET)の開発を進めている。RESURF型JFET(以下RESURF-JFET)に関しては、その基本原理、作製プロセス及び基本動作の確認について以前の報告で述べている⁽³⁾。

本稿では、さらにデバイスの微細化を進めた結果、低オン抵抗化、大電流化が達成され、さらにスイッチング特性についても評価を行い、高速スイッチングを確認したので、その結果について報告する。

2. RESURF-JFETの設計と作製プロセス

2-1 RESURF-JFETの特長 図1にRESURF-JFETの断面構造図を示す。

図中の各層の膜厚と不純物濃度、各電極間の距離等は典型値を示した。4層のエピ層からなり、ドレイン-ゲート間にダブルRESURF構造を採用している。図2に通常のJFETとRESURFの空乏層の伸長と電界強度分布を示す。

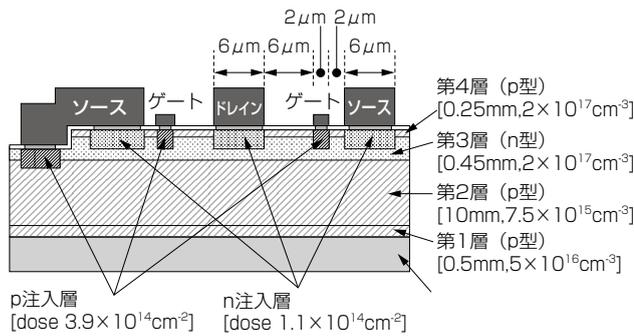


図1 RESURF-JFETの断面構造図

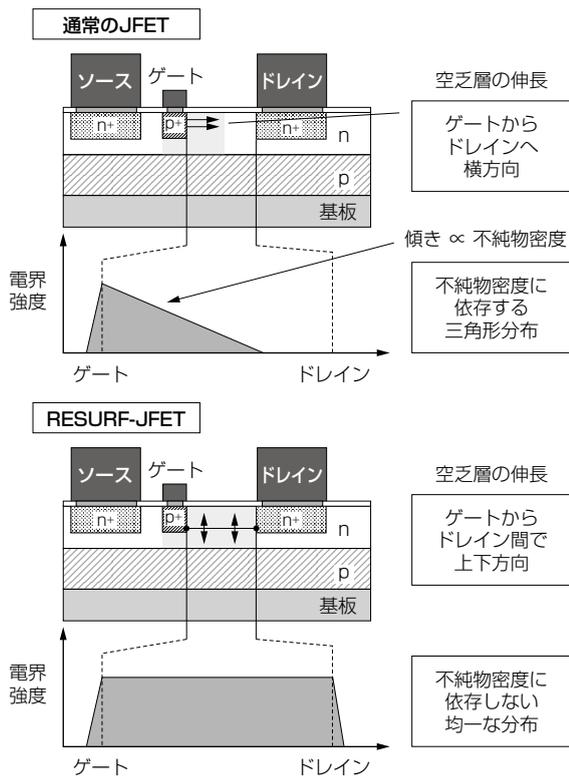


図2 通常のJFETとRESURF-JFETの空乏層の伸張と電界強度分布

RESURF-JFETでは、ダブルRESURF構造の採用により、トランジスタオフ時には空乏層がドリフト領域内で上下方向に伸長するため、ドリフト領域内の電界分布が均一となりゲート電極付近の電界集中が緩和される。したがって、電界集中による絶縁破壊を抑制でき、デバイスの耐圧特性が向上する。これを別の視点からとらえれば、電界集中が緩和された分だけドリフト領域の平均電界を高く設計することができる。すなわち、RESURF構造を持たないデバイスに比べて同一耐圧では、ドリフト領域の距離を短縮することができ、低オン抵抗化が可能となる。また、RESURF構造ではドリフト領域内の電界分布形状が不純物密度に依存しないため、高不純物密度化による低オン抵抗化も可能

となる。

このように、SiCの特長を最大限に生かした、高耐圧・低損失のパワースイッチングデバイスを実現できることがSiC RESURF-JFETの特長である。

2-2 設計 デバイスの微細化を行うことは、低オン抵抗化、スイッチング速度の高速化など、デバイス特性の向上に有効である。比較評価のために、2種類のデバイスについて報告する。図3に2種類のデバイスの断面構造図を示す。

1つは3mm角チップ上に作製した試作B(図3下部)と、もう1つは微細化を進め、2mm角チップで同電流量を得られる試作A(図3上部)である。各電極幅、電極間距離は図3に示すとおりである。

図4は試作Aの上面図である。チップの大きさは2mm×2mmでその内部に互いに電的に独立した4つの単位トランジスタから構成される。チップ内を単位トラン

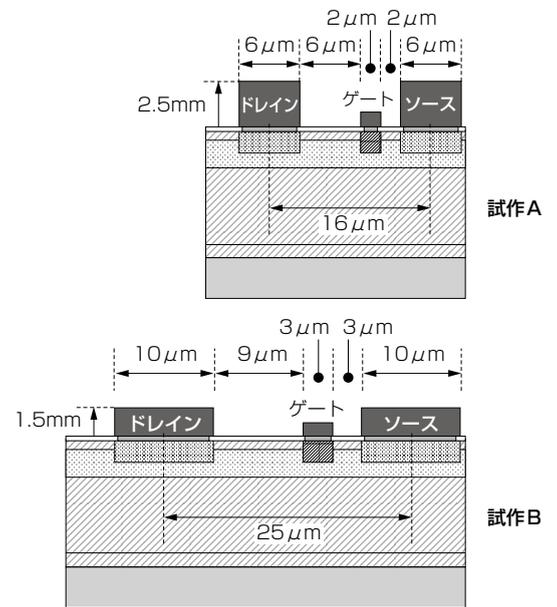


図3 試作A,Bの断面構造図

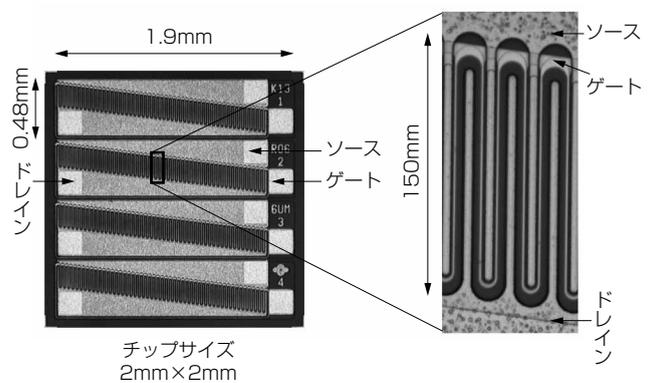


図4 RESURF-JFETの上面図

ジスタに分割したのは、チップ内に占める活性領域の面積を増やすことができるからである。よって同面積の単一トランジスタのみで構成されるチップに比べてオン抵抗を小さくできるメリットがある。試作Bも基本設計は同じであるが、チップの大きさは3mm×3mmで、その内部に単一トランジスタを6つ持つ。試作Aと試作Bはチップ単位での電流量は2.5Aと同じ値になるように設計されている。

2-2 ウエハプロセス RESURF型JFETのウエハプロセスを図5に示し、以下に述べる。基本的なプロセスは前回報告時と同様であるが、各プロセスとも微細化に対応できるように工夫を行った。

(a) エピタキシャル成長

基板は約400 μm の4H-SiC基板であり、(0001)面に対して、8°オフ角が付くように加工されている。この基板の上に4層構造のエピタキシャル層を化学的気相成長 (CVD) 法により形成する。

(b) 素子分離

1枚の基板には複数のトランジスタを形成することから、これらを電気的に分離する溝を形成する。この溝は反応性イオンエッチング (RIE) により形成する。

(c) イオン注入

トランジスタとして動作させるために、ソースドレイン領域にはn型の不純物としてPイオンを、ゲート領域にはp型不純物としてAlイオンをイオン注入により導入する。まず、金属を全面に形成し、RIEによりソースドレイン領域の金属を選択的にエッチングし、Pイオン注入を行う。次に金属剝離後、金属を再度全面に形成し、RIEによりゲ-

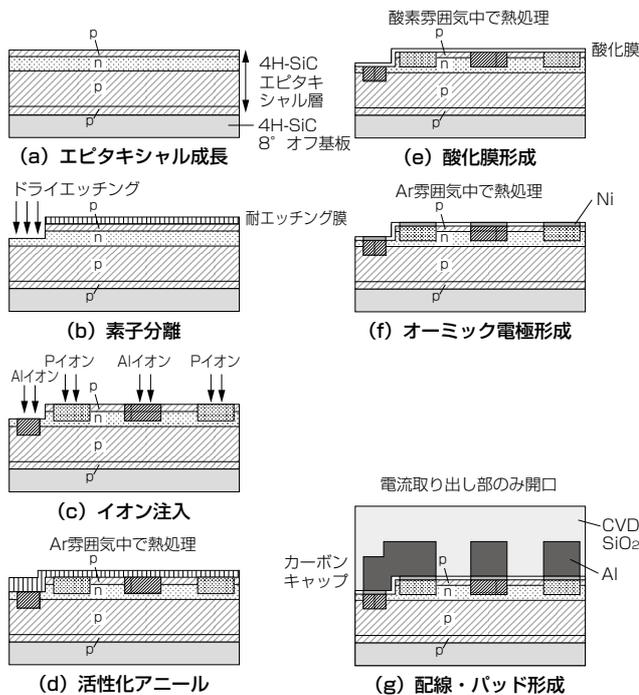


図5 RESURF-JFETの作製プロセス

ト領域の金属を選択的にエッチングし、Alイオン注入を行う。イオン注入時は不純物注入によるSiC結晶の損傷を抑制するために500℃に加熱する。

(d) 活性化アニール

イオン注入により導入した不純物をSiC結晶構造に組み込み活性化するとともに、イオン注入により生じた結晶損傷を回復させるために、アルゴン雰囲気中で1700℃程度に加熱する。通常、SiCの表面を露出した状態で活性化アニールを行うと、表面荒れを起こす。そこで、カーボンのキャップ層をSiC表面上に形成することで表面の変質を防ぎ、表面荒れを抑制する。

(e) 酸化膜形成

水分を含まない酸素雰囲気中で1300℃、60分間の熱処理を行いSiC表面を酸化することで、厚さ0.1 μm の酸化膜(SiO₂)を形成する。この酸化膜は表面保護として用いている。

(f) オーミック電極形成

JFETの各ソース、ドレイン、ゲート領域にオーミック電極を形成する。電極形成部のフィールド酸化膜を除去し、オーミック電極として厚さ0.1 μm のNiを真空蒸着により形成する。蒸着後にAr雰囲気中で約1000℃で2分の熱処理を行いSiCとの合金化を行う。

(g) 配線・パッド形成

並列した電極セル等のトランジスタ内部の接続のために配線形成を行う。ゲート配線として厚さ0.1 μm のAlを真空蒸着により形成する。ソースゲート間に多層配線構造を用いるため、層間絶縁膜として、厚さ0.3 μm のSiO₂をプラズマCVDにより形成する。ソースドレイン部を開口後、ソースドレイン配線として厚さ2.5 μm のAlを真空蒸着により形成する。各Al配線の下層には密着性の改善と配線の強度向上のためにTiを50nm形成する。

デバイスの最終保護として、厚さ2 μm のSiO₂をプラズマCVDにより形成する。電流の取り出し口のパッド部を開口し、ウエハプロセスは完了である。

2-3 評価用パッケージへの実装 ウエハプロセス完了後、ウエハの状態での電気特性測定を行い、スクリーニングを実施する。その後、高熱伝導率の銅タンゲステン(Cu-W)をベースとして適用した評価用TO-220パッケージ(写真1)へ実装する。実際の実装工程について以下に述べる。

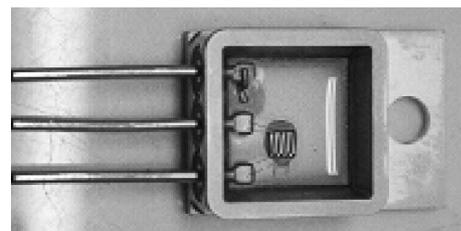


写真1 TO-220パッケージ外観

(a) ダイシング

ダイサーを用いてウエハを切断し、単位チップに分割する。

(b) マウント

チップをTO-220パッケージに無溶剤銀ペーストを用いて取り付け。

(c) ボンディング

金ワイヤーを用いてチップ内の単位トランジスタ内の並列接続を行う。

(d) 封止

素子と金ワイヤーが完全に埋没するまでシリコンゲルを充填して封止を行う。

3. RESURF-JFETの特性と応用

上述の実装工程完了後に、静特性、容量特性、及び、スイッチング特性の評価を行った。

3-1 静特性 試作Aの室温における静特性の評価は、カーブトレーサーを用いて測定を行った。図6はドレイン電流 (ID) -ドレイン電圧 (V_{DS}) 特性のゲート電圧 (V_{GS}) 依存性である。

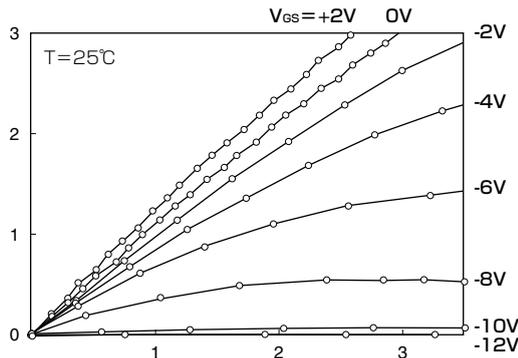


図6 試作Aのドレイン電流-ドレイン電圧特性

ゲート電圧によりドレイン電流が制御できて、ドレイン電圧が低い領域では線形的にドレイン電流が増加するに対し、ドレイン電圧が高くなるに従って、ドレイン電流の増加が飽和傾向を示すというFET特有の電流電圧特性が確認できた。オン抵抗は、 $V_{GS} = 2V$ 、 $I_D = 2.5A$ 条件下で $V_{DS} = 2.15V$ が得られたことから、 0.86Ω が確認できた。チップの動作領域は $6.0 \times 10^{-3} cm^2$ であり、特性オン抵抗 (オン抵抗×デバイス活性領域の面積) は $5.2m\Omega cm^2$ と計算できる。ドレイン電流は、 $V_{GS} = 2V$ ($V_{DS} = 10V$) において $I_D \approx 7.5A$ で飽和領域に入り、ドレイン電流定格である $2.5A$ に対して、約2倍の電流領域まで線形性が維持されていることが確認できた。

図7はチップサイズ依存性である。

前回作製した既存の試作Bに対し今回作製した試作A

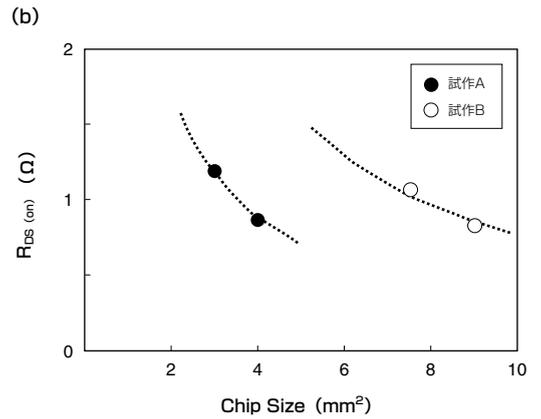
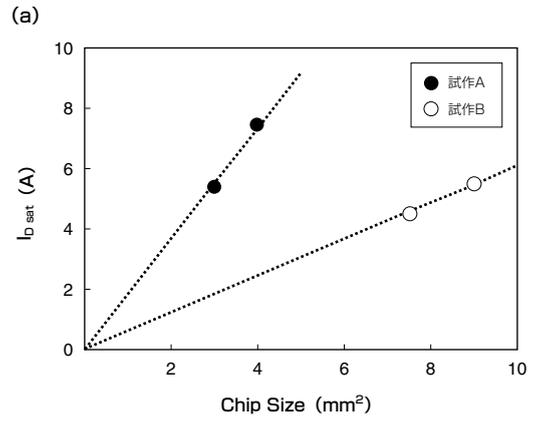


図7 (a) 飽和電流特性 (b) オン抵抗特性のチップサイズ依存性

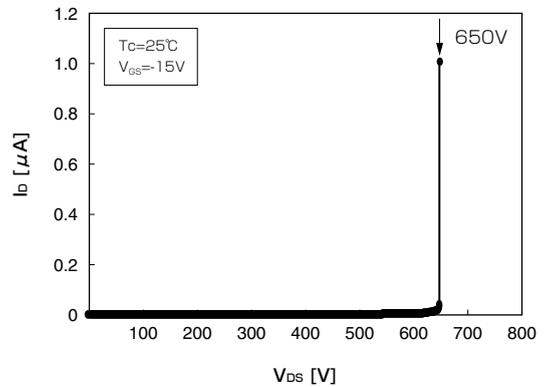


図8 試作Aのテストデバイスの遮断特性

は、デバイス構造への微細化技術適用により線形領域が高電流域に拡大された結果としての大電流容量化と低オン抵抗化、かつ、チップサイズの小型化を同時に実現していることが確認できた。

次に試作Aの遮断特性を図8に示す。測定時のゲート電圧は-15Vである。オフ状態において、 V_{DS} が $400V$ 以下の領域ではデバイスの破壊は観測されなかった。テストデバイスの破壊試験を行ったところ、耐圧は約 $600V$ であり、

試作Aの実デバイスの耐圧についてもこれに準じた値になると予想できる。

前回報告時の800V耐圧のRESURF-JFETの特性オン抵抗は $50\text{m}\Omega\text{cm}^2$ であったため、約1/10まで低抵抗化できたことになる。また、400V耐圧、2.5AクラスのSi MOSFETの典型的なオン抵抗は約 2Ω である。よって、今回開発した4H-SiC RESURF-JFETのオン抵抗はSi MOSFETの約半分であると言える。

3-2 容量特性 図9にインピーダンスアナライザで測定した容量特性を示す。

試作Aのドレイン・ソース間に直流電圧30Vを印加し、ゲート・ソース間及びドレイン・ゲート間の静電容量特性は、それぞれ60pF、9pFであった。これらは試作Bの容量特性に対して半減しており、前項の結果に加え、低容量化が確認できた。またゲート・ソース間の静電容量に関しては、400V耐圧、2.5AクラスのSi-MOSFETの典型的な特性値に対し、半分以下であった。

容量特性は、スイッチング特性の指標となるため、本削減効果により、デバイスの高速性能の改善が期待できる。

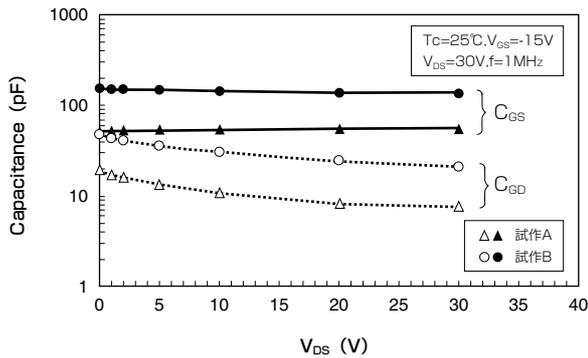


図9 ドレイン電圧-容量特性

3-3 スwitching特性 試作Aのスイッチング特性を測定した結果を以下に示す。

図10は抵抗負荷でのスイッチング特性測定回路である。負荷に対する電源電圧 (V_{DD}) は60V、負荷抵抗は 22Ω とし、ドレイン電流を2.5Aに設定した。

駆動信号としてゲートへのパルス印加はパルスジェネレータを用いた。パルス振幅は20Vであり、デバイスをターンオン、ターンオフ動作させるために、ゲート電圧を-18Vから+2Vに上昇させ、また、+2Vから-18Vに下降させた。パルス幅は $1\mu\text{s}$ とした。デバイスのゲート端子に直列に接続される駆動回路のゲート抵抗 (R_G) は 2.5Ω であった。測定は 25°C で行った。図11は試作Aの抵抗負荷における V_{DS} 、 I_D 、 V_{GS} のスイッチング動作波形である。

ターンオン時間は8nsで、その内訳はターンオン遅延時

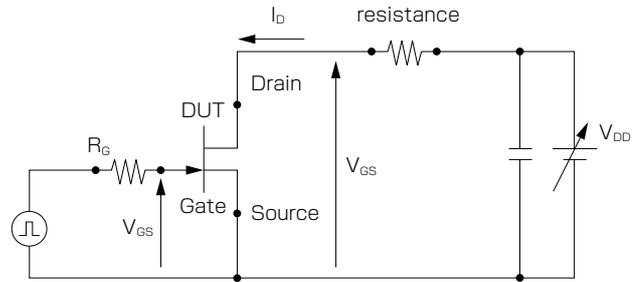
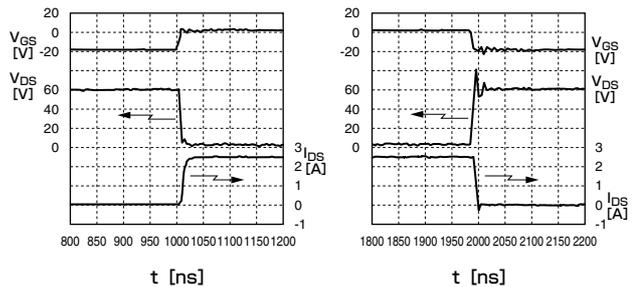


図10 抵抗負荷スイッチング特性測定回路



$T_C=25^\circ\text{C}, I_D=2.5\text{A}, V_{DD}=60\text{V}$
 $R_G=2.5\Omega, V_{GS}=+2\text{V}, -18\text{V}$

ターンオン波形

ターンオフ波形

図11 試作Aの抵抗負荷スイッチング動作波形

間 ($t_{d(on)}$) が3ns、上昇時間 (t_r) が5nsであった。ターンオフ時間は10nsで、その内訳はターンオフ遅延時間 ($t_{d(off)}$) が4ns、下降時間 (t_f) が6nsであった。典型的な耐圧400V電流2.5AクラスのSi MOSFETのスイッチング時間は約20nsであり、今回開発した4H-SiC RESURF-JFETはSi-MOSFETに対して、2倍の高速スイッチングが可能である。

図12は誘導負荷でのスイッチング特性測定回路、図13は試作Aの誘導負荷におけるスイッチング動作波形である。負荷に対する電源電圧は100Vとし、駆動信号のパルス幅を制御してドレイン遮断電流を2.5Aに設定した。駆

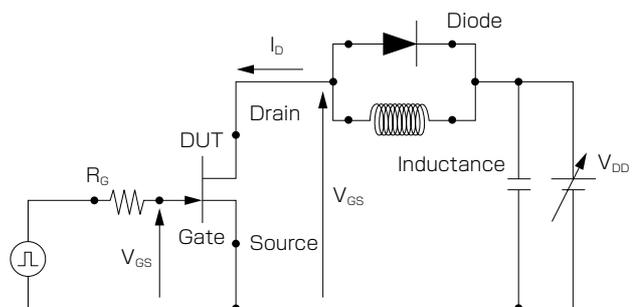


図12 誘導負荷スイッチング特性測定回路

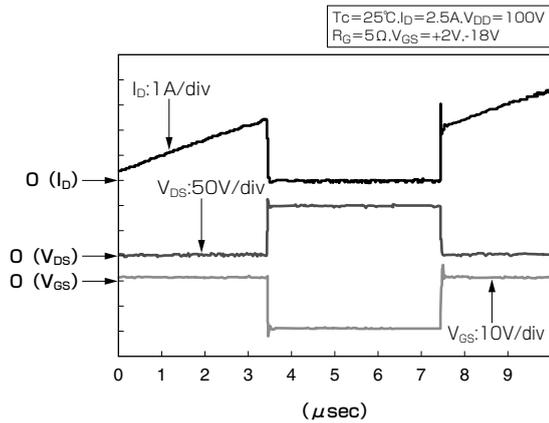


図 13 試作Aの誘導負荷スイッチング動作波形

動条件はゲート抵抗を 5Ω とし、その他条件は抵抗負荷と同様とした。

図 14 は 0IC スwitching 時間のゲート抵抗依存性である。

試作 A は、 $R_G = 5\Omega$ 条件で、ターンオフ時間は 9ns であった。その内訳はターンオフ遅延時間 ($t_{d(\text{off})}$) が 5ns 、下降時間 (t_f) が 4ns であった。誘導負荷についても抵抗負荷と同様の高速性能が確認できた。試作 B に対しても、図 15

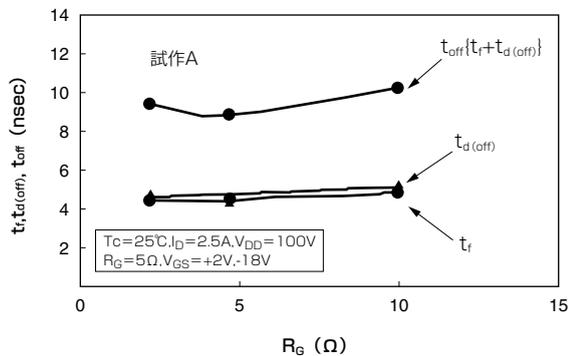


図 14 スwitching 時間のゲート抵抗依存性

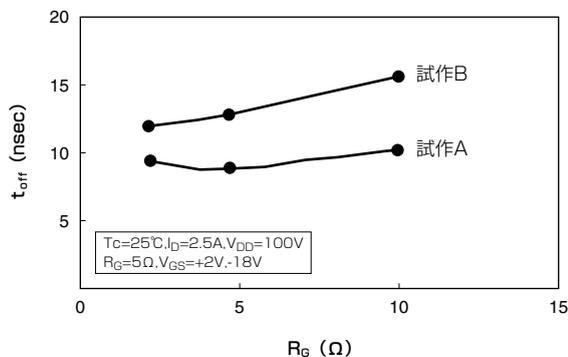


図 15 ゲート抵抗—switching 特性 (t_{off})

に示すように、ターンオフ時間で約 20% の改善効果が確認できた。

以上のように、試作 A は微細化技術を適用したことで、容量特性の削減効果が確認され、それに関連するスイッチング特性についても改善効果が確認できた。

今後、さらに微細化をすすめることで、より以上のスイッチング特性の改善が期待できる。

4. 今後の展望

本 SiC 横型 RESURF-JFET は、基板が電流経路にならない分低抵抗化が可能である横型構造 JFET の特徴を生かし、かつ、Si に勝る SiC 材料の特徴を生かして、高耐圧、かつ、低オン抵抗特性 ($5.2\text{m}\Omega\text{cm}^2$) と、高速スイッチング性能 (スイッチング時間: 10ns 以下) を、小型チップで達成している。これは Si の物理限界を大きく超え、同耐圧・同電流クラスの Si MOSFET の数倍優れた性能である。

よって横型構造 JFET は、大容量領域では縦型デバイスに譲るものの、小・中容量のスイッチング電源に適用される高耐圧、高速、低損失デバイスとして、搭載システムの性能向上に貢献できると考えられる。

スイッチング用途として一般的な MOSFET や IGBT が適用されている小・中容量のスイッチング電源の代表例として、DC/DC コンバータや、DC/AC インバータがあげられる。

このアプリケーションの技術動向には省スペース化、高効率化がある。省スペース化を実現するための技術の一つとして、パワーデバイスの高周波スイッチング動作があげられる。しかしながら、適用されるパワーデバイスには、スイッチング時にそのスイッチング周波数に応じた電力損失が発生する。

よって、オン損失の低減に加え、高周波動作時にはスイッチング損失の低減が不可欠となるため、パワーデバイスには低オン抵抗 (オン電圧) で、かつ、高速スイッチング性能が要求される。

さらに、高速でスイッチング動作する際に発生する急峻なサージ電圧によるパワーデバイスの破壊を抑制するために、一般的に保護回路が付加されることが多いが、この回路による電力損失が発生する。よって、そのため、サージ電圧に耐えられる高耐圧デバイスの使用により、保護回路を省略できることがより好ましい。これらシステム要求に対し、SiC 材料を適用し、かつ、弊社独自のデバイス構造を備えた RESURF-JFET を搭載することで、上述の要求を満足でき、今後、Si デバイス適用時に比べて、システムのよりいっそうの省スペース化、高効率化の実現が期待される。

さらに従来では大きさの制限上、搭載できなかった機能を追加するためのスペースを確保することができ、システムの高付加価値化の実現も期待される。

以上のように、SiC RESURF-JFETは小・中容量のスイッチング電源への応用が期待されるデバイスである。

5. 結 言

現在主流のSiパワーデバイスの物理的性能限界を超える材料として注目されているSiCを、その材料物性を生かすことができる形態の1つであるSiC RESURF-JFETの開発を進めている。今回試作したトランジスタにより、Siの物理限界を超える低オン抵抗や高速スイッチング動作及び微細化による特性向上が確認できた。数100V耐圧領域における、大電流高速スイッチングが可能であるという特性から、スイッチング電源への応用も期待できる。

今後は、パターン微細化や作製プロセス改善による低オン抵抗化、さらなる高速スイッチングに向けた技術開発を継続するとともに、実際にスイッチング電源への搭載を目指して開発を進めていく。

6. 謝 辞

本研究は、(独)新エネルギー・産業技術研究開発機構(NEDO)のエネルギー使用合理化技術戦略的開発事業/エネルギー使用合理化技術実用化開発「極低損失SiC トランジスタの研究開発」及びその継続研究として住友電気工業(株)において実施されたものである。

参 考 文 献

- (1) 松波弘之編著、「半導体SiC技術と応用」、日刊工業新聞社(2003)
- (2) 荒井和雄、吉田貞史編、「SiC素子の基礎と応用」、オーム社(2003)
- (3) 藤川、増田、玉祖、柴田、原田、初川、徳田、三枝、並川、SEIテクニカルレビュー 第167号(2005年9月)

執 筆 者

玉祖 秀人* : 半導体技術研究所 半導体デバイス研究部
澤田 研一 : 半導体技術研究所 半導体デバイス研究部 主査
藤川 一洋 : 半導体技術研究所 半導体デバイス研究部 主査
 博士(エネルギー科学)
原田 真 : 半導体技術研究所 半導体デバイス研究部 主査
新開 次郎 : 半導体技術研究所 半導体デバイス研究部 主席
徳田 一基 : 半導体技術研究所 半導体デバイス研究部 主査
増田 健良 : 半導体技術研究所 半導体デバイス研究部
穂永美紗子 : 半導体技術研究所 半導体デバイス研究部
伊藤 里美 : 半導体技術研究所 半導体デバイス研究部
築野 孝 : 半導体技術研究所 半導体デバイス研究部
 プロジェクトリーダー(理学博士)
並川 靖生 : 半導体技術研究所 半導体デバイス研究部 部長(工学博士)

*主執筆者